

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Kazutaka INUKAI
Serial No. : New Application
Filed : May 8, 2001
Title : LIGHT EMITTING DEVICE

Art Unit : Unknown
Examiner : Unknown



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

· Japan Application No. 2000-134810 filed May 8, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date:

May 8, 2001

William D. Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1046 U.S. P.
09/850053
05/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 5月 8日

出 願 番 号
Application Number:

特願2000-134810

出 願 人
Applicant(s):

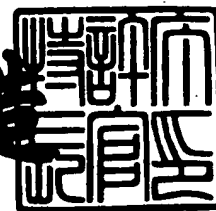
株式会社半導体エネルギー研究所

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3026051

【書類名】 特許願

【整理番号】 P004901

【提出日】 平成12年 5月 8日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 犬飼 和隆

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置

【特許請求の範囲】

【請求項 1】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とをそれぞれ有し、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記対向電源線駆動回路によって前記対向電極の電位が制御され、

前記ゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記スイッチング用 T F T によって前記 E L 駆動用 T F T の駆動が制御され、

前記 E L 駆動用 T F T によって前記画素電極の電位が制御されることを特徴とする電気光学装置。

【請求項 2】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とをそれぞれ有し、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記ゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記スイッチング用 T F T によって前記 E L 駆動用 T F T の駆動が制御され、

前記 E L 駆動用 T F T によって前記画素電極の電位が制御され、前記対向電源

線駆動回路によって前記対向電極の電位が制御されることで、前記 E L 素子の発光する時間が制御され、階調表示が行われることを特徴とする電気光学装置。

【請求項 3】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、 E L 駆動用 T F T と、 E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は、前記複数のゲート信号線のいずれか 1 つと接続されており、前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記 E L 駆動用 T F T が有するソース領域は前記複数の電源供給線のいずれか 1 つに接続されており、前記 E L 駆動用 T F T が有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか 1 つと接続されていることを特徴とする電気光学装置。

【請求項 4】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は、前記複数のゲート信号線のいずれか 1 つと接続されており、前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記 E L 駆動用 T F T が有するソース領域は前記複数の電源供給線のいずれか 1 つに接続されており、前記 E L 駆動用 T F T が有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか 1 つと接続されていることを特徴とする電気光学装置。

【請求項 5】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とをそれぞれ有し、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記対向電源線駆動回路によって前記対向電極の電位が制御され、

前記ゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記スイッチング用 T F T によって前記 E L 駆動用 T F T の駆動が制御され、

前記 E L 駆動用 T F T によって前記画素電極の電位が制御され、

前記画素部の各ラインの画素のそれぞれにおいて、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…または T_{rn} のうち任意の表示期間 T_{ri} ($i = 1, \dots, n$) は、 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち任意の書き込み期間 T_{ai} においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 EL 素子の前記対向電極にオンの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記書き込み期間 T_{ai} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 EL 素子の前記対向電極にオンの対向電位が与えられるまで、もしくは j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} ($k = 1, \dots, j$) において前記画素部の各ラインの画素がそれぞれ有する全ての前記 EL 素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記 j 個の非表示期間 T_{d1} 、 T_{d2} 、…または T_{dj} のうち任意の非表示期間 T_{dk} は、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} において前記画素部の各ラインの画素がそれぞれ有する全ての前記 EL 素子の前記対向電極にオフの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記消去期間 T_{ek} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 EL 素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のいずれか 1 つは、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のいずれか 1 つまたは 2 つと一部重なっており、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び T_{an} が全て出現した後、再び前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において前記 EL 素子が発光するか発光しないかが選択され、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0 : 2^1 :$

…、 $2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 6】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とをそれぞれ有し、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記ゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、

前記スイッチング用 T F T によって前記 E L 駆動用 T F T の駆動が制御され、

前記 E L 駆動用 T F T によって前記画素電極の電位が制御され、前記対向電源線駆動回路によって前記対向電極の電位が制御されることで、前記 E L 素子の発光する時間が制御され、階調表示が行われ、

前記画素部の各ラインの画素のそれぞれにおいて、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…または T_{rn} のうち任意の表示期間 T_{ri} ($i = 1, \dots, n$) は、 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち任意の書き込み期間 T_{ai} においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記書き込み期間 T_{ai} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられるまで、もしくは j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} ($k = 1, \dots, j$) において前記画素部の各ラインの画素がそれぞれ有する全てのの前

記 E L 素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記 j 個の非表示期間 T_{d1} 、 T_{d2} 、…または T_{dj} のうち任意の非表示期間 T_{dk} は、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオフの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記消去期間 T_{ek} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のいずれか 1 つは、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のいずれか 1 つまたは 2 つと一部重なっており、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…及び T_{an} が全て出現した後、再び前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} において前記 E L 素子が発光するか発光しないかが選択され、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} の長さの比は、 $2^0 : 2^1 : \dots, 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 7】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、E L 素子とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は、前記複数のゲート信号線の

いずれか 1 つと接続されており、前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、

前記 E L 駆動用 T F T が有するソース領域は前記複数の電源供給線のいずれか 1 つに接続されており、前記 E L 駆動用 T F T が有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか 1 つと接続され、

前記画素部の各ラインの画素のそれぞれにおいて、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…または T_{rn} のうち任意の表示期間 T_{ri} ($i = 1, \dots, n$) は、 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち任意の書き込み期間 T_{ai} においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記書き込み期間 T_{ai} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられるまで、もしくは j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} ($k = 1, \dots, j$) において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記 j 個の非表示期間 T_{d1} 、 T_{d2} 、…または T_{dj} のうち任意の非表示期間 T_{dk} は、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオフの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記消去期間 T_{ek} の次に出現

する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に
入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素
子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…または $T a n$ のいずれか 1 つは、
前記 j 個の消去期間 $T e 1$ 、 $T e 2$ 、…または $T e j$ のいずれか 1 つまたは 2 つ
と一部重なっており、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…及び $T a n$ が全て出現した後、再
び前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…または $T a n$ のいずれか 1 つが出
現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 $T r 1$ 、 $T r 2$ 、…及
び $T r n$ において前記 E L 素子が発光するか発光しないかが選択され、

前記 n 個の表示期間 $T r 1$ 、 $T r 2$ 、…及び $T r n$ の長さの比は、 $2^0 : 2^1 : \dots, 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 8】

ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路と、
画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記
ゲート信号線駆動回路に接続された複数のゲート信号線と、前記対向電源線駆動
回路に接続された複数の対向電源線と、複数の電源供給線とを有する電気光学装
置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、E L 素子
とをそれぞれ有し、

前記スイッチング用 T F T が有するゲート電極は、前記複数のゲート信号線の
いずれか 1 つと接続されており、前記スイッチング用 T F T が有するソース領域
とドレイン領域は、一方は前記複数のソース信号線のいずれか 1 つと接続され、
もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電
極と対向電極の間に設けられた E L 層とを有し、

前記 E L 駆動用 T F T が有するソース領域は前記複数の電源供給線のいずれか

1 つに接続されており、前記 E L 駆動用 T F T が有するドレイン領域は前記画素電極に接続されており、

前記対向電極は前記複数の対向電源線のいずれか 1 つと接続され、

前記画素部の各ラインの画素のそれぞれにおいて、1 フレーム期間中に n 個の表示期間 T_{r1} 、 T_{r2} 、…及び T_{rn} と、 j 個の非表示期間 T_{d1} 、 T_{d2} 、…及び T_{dj} とが出現し、

前記 n 個の表示期間 T_{r1} 、 T_{r2} 、…または T_{rn} のうち任意の表示期間 T_{ri} ($i = 1, \dots, n$) は、 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち任意の書き込み期間 T_{ai} においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記書き込み期間 T_{ai} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられるまで、もしくは j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} ($k = 1, \dots, j$) において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオフの対向電位が与えられるまでの期間であり、

前記 j 個の非表示期間 T_{d1} 、 T_{d2} 、…または T_{dj} のうち任意の非表示期間 T_{dk} は、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のうち任意の消去期間 T_{ek} において前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオフの対向電位が与えられてから、前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のうち前記消去期間 T_{ek} の次に出現する書き込み期間においてデジタルビデオ信号が前記画素部の各ラインの画素に入力され、かつ前記画素部の各ラインの画素がそれぞれ有する全ての前記 E L 素子の前記対向電極にオンの対向電位が与えられるまでの期間であり、

前記 n 個の書き込み期間 T_{a1} 、 T_{a2} 、…または T_{an} のいずれか 1 つは、前記 j 個の消去期間 T_{e1} 、 T_{e2} 、…または T_{ej} のいずれか 1 つまたは 2 つと一部重なっており、

前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…及び $T a n$ が全て出現した後、再び前記 n 個の書き込み期間 $T a 1$ 、 $T a 2$ 、…または $T a n$ のいずれか 1 つが出現し、

前記デジタルビデオ信号によって、前記 n 個の表示期間 $T r 1$ 、 $T r 2$ 、…及び $T r n$ において前記 EL 素子が発光するか発光しないかが選択され、

前記 n 個の表示期間 $T r 1$ 、 $T r 2$ 、…及び $T r n$ の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする電気光学装置。

【請求項 9】

請求項 5 乃至請求項 8 のいずれか 1 項において、

前記非表示期間 $T d 1$ 、 $T d 2$ 、…、 $T d j$ のうち一番長い非表示期間が、フレーム期間中において一番最後に出現することを特徴とする電気光学装置。

【請求項 10】

請求項 5 乃至請求項 9 のいずれか 1 項において、前記書き込み期間 $T a 1$ 、 $T a 2$ 、…、 $T a n$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 11】

請求項 5 乃至請求項 10 のいずれか 1 項において、前記消去期間 $T e 1$ 、 $T e 2$ 、…、 $T e j$ は互いに重なっていないことを特徴とする電気光学装置。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項において、前記 EL 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする電気光学装置。

【請求項 13】

請求項 12 において、前記低分子系有機物質は、 $A l q_3$ （トリス-8-キノリライト-アルミニウム）または TPD（トリフェニルアミン誘導体）からなることを特徴とする電気光学装置。

【請求項 14】

請求項 12 において、前記ポリマー系有機物質は、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）またはポリカーボネートからなることを特徴とする電気光学装置。

【請求項 15】

請求項 1 1 乃至請求項 1 4 のいずれか 1 項において、前記画素電極が陽極である場合、前記 E L 駆動用 T F T は p チャンネル型 T F T であることを特徴とする電気光学装置。

【請求項 1 6】

請求項 1 1 乃至請求項 1 4 のいずれか 1 項において、前記画素電極が陰極である場合、前記 E L 駆動用 T F T は n チャンネル型 T F T であることを特徴とする電気光学装置。

【請求項 1 7】

請求項 1 1 乃至請求項 1 6 のいずれか 1 項において、前記画素電極と、前記 E L 駆動用 T F T が有するドレイン領域とは、直接、もしくは少なくとも 1 つの配線を介して接続されており、

前記画素電極が、前記 E L 駆動用 T F T が有するドレイン領域、もしくは前記少なくとも 1 つの配線と接続している領域の上にバンクが形成されていることを特徴とする電気光学装置。

【請求項 1 8】

請求項 1 7 において、前記バンクは遮光性を有していることを特徴とする電気光学装置。

【請求項 1 9】

請求項 1 乃至請求項 1 8 のいずれか 1 項において、前記スイッチング用 T F T または前記 E L 駆動用 T F T がトップゲート型であることを特徴とする電気光学装置。

【請求項 2 0】

請求項 1 乃至請求項 1 8 のいずれか 1 項において、前記スイッチング用 T F T または前記 E L 駆動用 T F T がボトムゲート型であることを特徴とする電気光学装置。

【請求項 2 1】

請求項 1 乃至請求項 2 0 のいずれか 1 項において、前記 E L 駆動用 T F T は線形領域で駆動することを特徴とする電気光学装置

【請求項 2 2】

請求項 1 乃至請求項 2 1 のいずれか 1 項において、コンピュータであることを特徴とする電気光学装置。

【請求項 2 3】

請求項 1 乃至請求項 2 1 のいずれか 1 項において、ビデオカメラであることを特徴とする電気光学装置。

【請求項 2 4】

請求項 1 乃至請求項 2 1 のいずれか 1 項において、DVDプレーヤーであることを特徴とする電気光学装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明はE L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いたE Lディスプレイに関する。またE Lディスプレイを表示部に用いた電気光学装置に関する。

【0 0 0 2】

【従来の技術】

近年、基板上にT F Tを形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を用いたT F Tは、従来のアモルファスシリコン膜を用いたT F Tよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0 0 0 3】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0 0 0 4】

そしてさらに、自発光型素子としてE L素子を有したアクティブマトリクス型

の E L ディスプレイの研究が活発化している。E L ディスプレイは有機 E L ディスプレイ (O E L D : Organic EL Display) 又は有機ライトエミッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【 0 0 0 5 】

E L ディスプレイは、液晶ディスプレイと異なり自発光型である。E L 素子是一对の電極 (陽極と陰極) 間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーの Tang らが提案した「正孔輸送層 / 発光層 / 電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L ディスプレイは殆どこの構造を採用している。

【 0 0 0 6 】

また他にも、陽極上に正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層、または正孔注入層 / 正孔輸送層 / 発光層 / 電子輸送層 / 電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【 0 0 0 7 】

本明細書において陰極と陽極の間に設けられる全ての層を総称して E L 層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て E L 層に含まれる。

【 0 0 0 8 】

そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において E L 素子が発光することを、E L 素子が駆動すると呼ぶ。また、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【 0 0 0 9 】

E L ディスプレイの駆動方法として、アナログ方式の駆動方法 (アナログ駆動) が挙げられる。E L ディスプレイのアナログ駆動について、図 2 3 及び図 2 4 を用いて説明する。

【 0 0 1 0 】

図 2 3 にアナログ駆動の E L ディスプレイの画素部の構造を示す。ゲート信号

線駆動回路からのゲート信号を入力するゲート信号線（ $G_1 \sim G_y$ ）は、各画素が有するスイッチング用 T F T 1 8 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 1 8 0 1 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう） $S_1 \sim S_x$ に、もう一方が各画素が有する E L 駆動用 T F T 1 8 0 4 のゲート電極及び各画素が有するコンデンサ 1 8 0 8 にそれぞれ接続されている。

【 0 0 1 1 】

各画素が有する E L 駆動用 T F T 1 8 0 4 のソース領域は電源供給線 $V_1 \sim V_x$ に接続されており、ドレイン領域は E L 素子 1 8 0 6 に接続されている。電源供給線 $V_1 \sim V_x$ の電位を電源電位と呼ぶ。また電源供給線 $V_1 \sim V_x$ は、各画素が有するコンデンサ 1 8 0 8 に接続されている。

【 0 0 1 2 】

E L 素子 1 8 0 6 は陽極と、陰極と、陽極と陰極の間に設けられた E L 層とを有する。E L 素子 1 8 0 6 の陽極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が画素電極、陰極が対向電極となる。逆に E L 素子 1 8 0 6 の陰極が E L 駆動用 T F T 1 8 0 4 のドレイン領域と接続している場合、E L 素子 1 8 0 6 の陽極が対向電極、陰極が画素電極となる。

【 0 0 1 3 】

なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差が E L 駆動電圧であり、この E L 駆動電圧が E L 層にかかる。

【 0 0 1 4 】

図 2 3 で示した E L ディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図 2 4 に示す。1 つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を 1 ライン期間（ L ）と呼ぶ。またアナログ駆動において、1 つの画像が表示されてから次の画像が表示されるまでの期間が 1 フレーム期間（ F ）に相当する。図 2 3 の E L ディスプレイの場合、ゲート信号線は y 本あるので、1 フレーム期間中に y 個のライン期間（ $L_1 \sim L_y$ ）が設けられている。

【 0 0 1 5 】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

【 0 0 1 6 】

まず電源供給線V1～Vxは一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【 0 0 1 7 】

第1のライン期間(L1)において、ゲート信号線駆動回路からゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1が選択される。

【 0 0 1 8 】

なお本明細書においてゲート信号線が選択されるとは、該ゲート信号線にゲート電極が接続された薄膜トランジスタが全てオンの状態になることを意味する。

【 0 0 1 9 】

そして、ソース信号線S1～Sxに順にアナログのビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFT1801はオンの状態になっているので、ソース信号線S1～Sxに入力されたアナログのビデオ信号は、スイッチング用TFT1801を介してEL駆動用TFT1804のゲート電極に入力される。

【 0 0 2 0 】

EL駆動用TFT1804のチャネル形成領域を流れる電流の量は、EL駆動用TFT1804のゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、EL素子1806の画素電極にかかる電位は、EL駆動用TFT1804のゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そしてEL素子1806はアナログのビデオ信号の電位に制御されて発光を行う。

【 0 0 2 1 】

上述した動作を繰り返し、にソース信号線S1～Sxへのアナログのビデオ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信

号線 $S_1 \sim S_x$ へのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。

【0022】

そして次に第2のライン期間 (L_2) となり、ゲート信号によってゲート信号線 G_2 が選択される。そして第1のライン期間 (L_1) と同様にソース信号線 $S_1 \sim S_x$ に順にアナログのビデオ信号が入力される。

【0023】

そして全てのゲート信号線 ($G_1 \sim G_y$) にゲート信号が入力されると、全てのライン期間 ($L_1 \sim L_y$) が終了する。全てのライン期間 ($L_1 \sim L_y$) が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間 ($L_1 \sim L_y$) と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0024】

以上のように、アナログのビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0025】

【発明が解決しようとする課題】

上述したアナログ駆動方法において、EL素子に供給される電流量がEL駆動用TFTのゲート電圧によって制御される様子を図25を用いて詳しく説明する。

【0026】

図25 (A) はEL駆動用TFTのトランジスタ特性を示すグラフであり、2801は $I_{DS} - V_{GS}$ 特性 (又は $I_{DS} - V_{GS}$ 曲線) と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電極とソース領域間の電圧 (ゲート電圧) である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0027】

アナログ駆動方法において階調表示を行う場合、E L 素子は上記 $I_{DS}-V_{GS}$ 特性の点線 2 8 0 2 で示した領域を用いて駆動する。2 8 0 2 で囲んだ領域の拡大図を図 2 5 (B) に示す。

【 0 0 2 8 】

図 2 5 (B) において、斜線で示す領域は飽和領域と呼ばれている。具体的には、しきい値電圧を V_{TH} とすると、 $|V_{GS}-V_{TH}| < |V_{DS}|$ を満たすようなゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【 0 0 2 9 】

スイッチング用 T F T がオンとなって画素内に入力されたアナログのビデオ信号は E L 駆動用 T F T のゲート電圧となる。このとき、図 2 5 (A) に示した $I_{DS}-V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が 1 対 1 で決まる。即ち、E L 駆動用 T F T のゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位が定まり、所定のドレイン電流が E L 素子に流れ、その電流量に対応した発光量で前記 E L 素子が発光する。

【 0 0 3 0 】

以上のように、ビデオ信号によって E L 素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【 0 0 3 1 】

しかしながら、上記アナログ駆動は T F T の特性のバラツキに非常に弱いという欠点がある。仮に各画素の E L 駆動用 T F T に等しいゲート電圧がかかったとしても、E L 駆動用 T F T の $I_{DS}-V_{GS}$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図 2 5 (A) から明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化する飽和領域を使っているため、 $I_{DS}-V_{GS}$ 特性が僅かでもずれれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じうる。こうなってしまうと、僅かな $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまう。

【 0 0 3 2 】

このように、アナログ駆動は E L 駆動用 T F T の特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型の E L ディスプレイの階調表示における障害となっていた。

【 0 0 3 3 】

本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調カラー表示の可能なアクティブマトリクス型の E L ディスプレイを提供することを課題とする。そして、そのようなアクティブマトリクス型 E L ディスプレイを表示用ディスプレイとして具備する高性能な電気光学装置（電子機器）を提供することを課題とする。

【 0 0 3 4 】

【課題を解決するための手段】

本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために $I_{DS}-V_{GS}$ 特性のばらつきの影響を受けやすい飽和領域を用いて階調表示を行っていることに起因すると考えた。

【 0 0 3 5 】

即ち、 $I_{DS}-V_{GS}$ 特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかってもでも異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【 0 0 3 6 】

そこで本発明人は、E L 素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主に E L 素子が発光する時間の制御によって行うことを考えた。つまり本発明では E L 素子の発する光の量を時間で制御し、階調表示を行う。E L 素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【 0 0 3 7 】

上記構成によって本発明では、E L 駆動用 T F T の $I_{DS}-V_{GS}$ 特性に多少のば

らつきがあっても、同じ電圧の信号を入力したときに E L 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【 0 0 3 8 】

【発明の実施の形態】

以下に、本発明の E L ディスプレイの構造及びその駆動方法について説明する。ここでは n ビットのデジタルビデオ信号により 2^n 階調の表示を行う場合について説明する。

【 0 0 3 9 】

図 1 に本発明の E L ディスプレイのブロック図の一例を示す。図 1 の E L ディスプレイは、基板上に形成された T F T によって画素部 1 0 1、画素部 1 0 1 の周辺に配置されたソース信号線駆動回路 1 0 2、ゲート信号線駆動回路 1 0 3、対向電源線駆動回路 1 0 4 を有している。なお、本実施の形態において示す E L ディスプレイはソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路とをそれぞれ 1 つずつ有しているが、本発明はこれに限定されない。ソース信号線駆動回路と、ゲート信号線駆動回路と、対向電源線駆動回路の数は任意に定めることができる。

【 0 0 4 0 】

また本発明において、ソース信号線駆動回路 1 0 2、ゲート信号線駆動回路 1 0 3 または対向電源線駆動回路 1 0 4 は、画素部 1 0 1 が設けられている基板上に設けても良いし、I C チップ上に設けて F P C または T A B を介して画素部 1 0 1 と接続されるようにしても良い。

【 0 0 4 1 】

画素部 1 0 1 の拡大図を図 2 に示す。ソース信号線 $S_1 \sim S_x$ 、電源供給線 $V_1 \sim V_x$ 、ゲート信号線 $G_1 \sim G_y$ 、対向電源線 $E_1 \sim E_y$ が画素部 1 0 1 に設けられている。

【 0 0 4 2 】

ソース信号線 $S_1 \sim S_x$ と、電源供給線 $V_1 \sim V_x$ と、ゲート信号線 $G_1 \sim G_y$ と、対向電源線 $E_1 \sim E_y$ とを 1 つずつ有する領域が画素 1 0 5 である。画素部 1 0 1 にはマトリクス状に複数の画素 1 0 5 が配列されることになる。

【 0 0 4 3 】

画素 1 0 5 の拡大図を図 3 に示す。1 0 7 はスイッチング用 T F T、1 0 8 は E L 駆動用 T F T、1 1 0 は E L 素子、1 1 2 はコンデンサである。

【 0 0 4 4 】

スイッチング用 T F T 1 0 7 のゲート電極は、ゲート信号線 G (G 1 ~ G y のいずれか 1 つ) に接続されている。スイッチング用 T F T 1 0 7 のソース領域とドレイン領域は、一方がソース信号線 S (S 1 ~ S x のいずれか 1 つ) に接続されており、もう一方が E L 駆動用 T F T 1 0 8 のゲート電極、各画素が有するコンデンサ 1 1 2 に接続されている。

【 0 0 4 5 】

コンデンサ 1 1 2 はスイッチング用 T F T 1 0 7 が非選択状態 (オフの状態) にある時、E L 駆動用 T F T 1 0 8 のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ 1 1 2 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 1 1 2 を設けない構成にしても良い。

【 0 0 4 6 】

また、E L 駆動用 T F T 1 0 8 のソース領域は電源供給線 V (V 1 ~ V x のいずれか 1 つ) に接続され、ドレイン領域は E L 素子 1 1 0 に接続される。電源供給線 V は画素部 1 0 1 を有する基板の外部に設けられた電源 (図示せず) に接続されており、常に一定の電源電位が与えられている。

【 0 0 4 7 】

現在の典型的な E L ディスプレイは、画素部の面積あたりの発光量が 200 cd/m^2 の場合、画素部の面積あたりの電流が数 mA/cm^2 程度必要となる。そのため画素部のサイズが大きくなると、I C 等に設けられた電源から電源供給線に与えられる電位をスイッチで制御することが難しくなる。本発明においては、電源電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【 0 0 4 8 】

また電源供給線 V はコンデンサ 1 1 2 に接続されている。

【 0 0 4 9 】

E L 素子 1 1 0 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 8 のドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 0 5 0 】

E L 素子 1 1 0 の対向電極は、対向電源線 E (E 1 ~ E y のいずれか 1 つ) に接続されている。本明細書において対向電源線 E の電位を対向電位と呼ぶ。

【 0 0 5 1 】

スイッチング用 T F T 1 0 7 、 E L 駆動用 T F T 1 0 8 は、 n チャンネル型 T F T でも p チャンネル型 T F T でもどちらでも用いることができる。ただし、 E L 素子 1 1 0 の陽極が画素電極で陰極が対向電極の場合、 E L 駆動用 T F T 1 0 8 は p チャンネル型 T F T であることが好ましい。また逆に E L 素子 1 1 0 の陽極が対向電極で陰極が画素電極の場合、 E L 駆動用 T F T 1 0 8 は n チャンネル型 T F T であることが好ましい。

【 0 0 5 2 】

またスイッチング用 T F T 1 0 7 、 E L 駆動用 T F T 1 0 8 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【 0 0 5 3 】

次に図 1 ~ 図 3 で示した本発明の E L ディスプレイの駆動方法について、図 4 を用いて説明する。

【 0 0 5 4 】

はじめに対向電極電源線駆動回路 1 0 4 によって、対向電源線 E 1 に与えられている対向電位が、電源電位が画素電極に与えられたときに E L 素子が発光する程度に、電源電位との間に電位差を有するような電位 (オンの対向電位) に保たれる。

【 0 0 5 5 】

そして、ゲート信号線駆動回路 1 0 3 からゲート信号線 G 1 に入力されるゲー

ト信号によってゲート信号線G 1が選択される。よってゲート信号線G 1に接続されている全ての画素（1ライン目の画素）のスイッチング用T F T 1 0 7がオンの状態になる。

【 0 0 5 6 】

そして、ソース信号線駆動回路1 0 2からソース信号線S 1～S xに入力される1ビット目のデジタルビデオ信号が、スイッチング用T F T 1 0 7を介してE L駆動用T F T 1 0 8のゲート電極に入力される。なお本明細書において、デジタルビデオ信号がスイッチング用T F T 1 0 7を介してE L駆動用T F T 1 0 8のゲート電極に入力されることを、画素にデジタルビデオ信号が入力されるとする。

【 0 0 5 7 】

デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がH i、一方がL oの電圧を有する信号である。

【 0 0 5 8 】

本実施の形態では、デジタルビデオ信号が「0」の情報を有していた場合、E L駆動用T F T 1 0 8はオフの状態となる。よってE L素子1 1 0の画素電極に電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子1 1 0は発光しない。

【 0 0 5 9 】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、E L駆動用T F T 1 0 8はオンの状態となる。よってE L素子1 1 0の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するE L素子1 1 0は発光する。

【 0 0 6 0 】

なお本実施の形態ではデジタルビデオ信号が「0」の情報を有していた場合、E L駆動用T F T 1 0 8はオフの状態となり、「1」の情報を有していた場合E L駆動用T F T 1 0 8はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、E L駆動用T F T 1 0

8 がオンの状態となり、「1」の情報を持っていた場合 E L 駆動用 T F T 1 0 8 オフの状態となっても良い。

【 0 0 6 1 】

このように、1 ライン目の画素にデジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、1 ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T_r と呼ぶ。特に 1 ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T_{r1} と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 0 6 2 】

次にゲート信号線 G 1 の選択が終了すると、対向電源線 E 1 はオンの対向電位に保たれたままで、対向電源線駆動回路 1 0 4 によって、対向電源線 E 2 がオンの対向電位に保たれる。そしてゲート信号線 G 2 がゲート信号によって選択されることによって、ゲート信号線 G 2 に接続されている全ての画素のスイッチング用 T F T 1 0 7 がオンの状態になり、2 ライン目の画素にソース信号線 S 1 ~ S x から 1 ビット目のデジタルビデオ信号が入力される。

【 0 0 6 3 】

このように順に、全ての対向電源線 E 1 ~ E x が対向電位に保たれる。そして全てのゲート信号線 G 1 ~ G y が選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が、書き込み期間 T_{a1} である。

【 0 0 6 4 】

一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a1} が終了する前に、画素への 1 ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路 1 0 4 によって対向電源線 E 1 に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線 E 1 に対向電極が接続されている E L 素子が全て非発光の状態になる。よって対向電源線 E 1 に対向電極が接続されている E L 素子を有する全ての画素（1 ライン目の画素）が表示を行わなくなる。

【 0 0 6 5 】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1 ライン目の画素において、対向電源線 E_1 がオフの対向電位に保たれると同時に表示期間 T_{r1} が終了し、非表示期間 T_{d1} となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 0 6 6 】

そして対向電源線 E_1 がオフの対向電位に保たれたまま、次に対向電源線 E_2 がオフの対向電位に保たれる。よって、対向電源線 E_2 に対向電極が接続された E_L 素子を有する全ての画素（2 ライン目の画素）が表示を行わない非表示の状態となる。

【 0 0 6 7 】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、1 ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e1} である。

【 0 0 6 8 】

一方、全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれる前、言い換えると消去期間 T_{e1} が終了する前に、画素が非表示の状態になると並行して、再び対向電源線 E_1 がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線 G_1 の選択が行われ、1 ライン目の画素に2 ビット目のデジタルビデオ信号が入力される。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【 0 0 6 9 】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2 ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2 ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【 0 0 7 0 】

そして一方、全ての画素に2 ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2 ビット目のデジタ

ルビデオ信号の入力と並行して、対向電源線 E_1 がオフの対向電位に保たれる。よって 1 ライン目の画素が有する E_L 素子は全て非発光の状態になり、1 ライン目の画素が表示を行わなくなる。よって 1 ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0071】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、2 ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e2} である。

【0072】

上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。各ラインの画素の表示期間 T_{r1} は、書き込み期間 T_{a1} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間 T_{d1} は、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、…、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、…、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれの期間が定められる。

【0073】

説明を簡便にするために、図 4 では $m = n - 2$ の場合を例にとって示すが、本発明はこれに限定されないのは言うまでもない。本発明において m は、1 から n までの値を任意に選択することが可能である。

【0074】

次に、対向電源線 E_1 がオンの対向電位に保たれ、 $m [n - 2$ （以下、括弧内は $m = n - 2$ の場合を示す）] ビット目のデジタルビデオ信号が 1 ライン目の画

素に入力される。よって1ライン目の画素は表示期間 $T_{rm} [n-2]$ となり表示を行う。

【0075】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして $m [n-2]$ ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_{rm} [n-2]$ となり表示を行う。

【0076】

そして次のビットのデジタルビデオ信号が入力されるまで、 $m [n-2]$ ビット目のデジタルビデオ信号は画素に保持される。

【0077】

次に全ての対向電源線がオンの対向電位に保たれたまま、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた $m [n-2]$ ビット目のデジタルビデオ信号は、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r(m+1)} [n-1]$ となり、表示を行う。

【0078】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれたまま、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 $T_{r(m+1)} [n-1]$ となり表示を行う。

【0079】

そして次のビットのデジタルビデオ信号が入力されるまで、 $(m+1) [n-1]$ ビット目のデジタルビデオ信号は画素に保持される。

【0080】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。各ラインの画素の表示期間 $T_{rm} [n-2]$ 、 \dots 、 T_{rn} は、書き込み期間 $T_{am} [n-2]$ 、 \dots 、 T_{an} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間において各ラインの画素の対向電極にオ

ンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【 0 0 8 1 】

全ての表示期間 $T_{r1} \sim T_{rn}$ が終了すると、1つの画像を表示することができる。本発明において、1つの画像が表示される期間を1フレーム期間（F）と呼ぶ。なお本発明の駆動方法において、フレーム期間（F）は各ラインの画素ごとに異なっている。yライン目の画素のフレーム期間は、ほぼ書き込み期間 T_{a1} の長さ分だけ、1ライン目の画素のフレーム期間の開始より遅れて開始される。

【 0 0 8 2 】

そして1フレーム期間終了後は、再び対向電源線 $E_1 \sim E_y$ がオンの対向電位に保たれ、ゲート信号線 G_1 がゲート信号によって選択される。そして、1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【 0 0 8 3 】

ELディスプレイは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【 0 0 8 4 】

また本発明では、全ての書き込み期間の長さの和が1フレーム期間の長さよりも短いことが重要である。なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【 0 0 8 5 】

1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n=8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r}

3と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0086】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、1～ n のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0087】

また表示期間 $T_{r1} \sim T_{rn}$ は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、表示期間 $T_{r1} \sim T_{rn}$ が互いに重ならない順序の方がより好ましい。また消去期間 $T_{e1} \sim T_{en}$ も、互いに重ならない順序の方がより好ましい。

【0088】

本発明は上記構成によって、EL駆動用TFTの $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0089】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0090】

なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合（デューティー比）が、書き込み期間の長さによってのみ決定されない。

【0091】

また本発明の構成では、従来と同様に各画素に設けられるトランジスタは、ス

イッチング用 T F T と E L 駆動用 T F T の 2 つで済むため、画素の開口率を低下させることがない。

【 0 0 9 2 】

なお本実施の形態では、E L 駆動用 T F T のゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。E L 駆動用 T F T が、ゲート絶縁膜を介してゲート電極に重なるように設けられた L D D 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成される。このゲート容量を E L 駆動用 T F T のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いても良い。

【 0 0 9 3 】

このゲート容量の容量値は、上記ゲート電極と L D D 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる L D D 領域の長さによって決まる。

【 0 0 9 4 】

なお、上述した本発明の構成は E L ディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数 1 0 μ s e c 程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【 0 0 9 5 】

【実施例】

以下に、本発明の実施例を説明する。

【 0 0 9 6 】

(実施例 1)

本実施例では、本発明の E L ディスプレイにおいて、6 ビットのデジタルビデオ信号により 2^6 階調の表示を行う場合について図 5 を用いて説明する。なお本実施例の E L ディスプレイは、図 1 ～図 3 に示した構造を有する。

【 0 0 9 7 】

はじめに対向電極電源線駆動回路 1 0 4 によって、対向電源線 E 1 に与えられ

ている対向電位が、電源電位が画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有するような電位（オンの対向電位）に保たれる。

【0098】

そして、ゲート信号線駆動回路103からゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1が選択される。そしてゲート信号線G1に接続されている全ての画素（1ライン目の画素）のスイッチング用TFT107がオンの状態になる。

【0099】

そして、ソース信号線駆動回路102からソース信号線S1～Sxに、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。

【0100】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極には電源電位が与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光しない。

【0101】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、EL駆動用TFT108はオンの状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子110は発光する。

【0102】

このように1ライン目の画素は、デジタルビデオ信号が入力されると同時に、EL素子110が発光、または非発光を行い、表示期間Tr1となる。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0103】

次にゲート信号線G1の選択が終了すると、対向電源線E1はオンの対向電位に保たれたままで、対向電源線駆動回路104によって、対向電源線E2がオン

の対向電位に保たれる。そしてゲート信号によってゲート信号線G 2が選択されることによって、ゲート信号線G 2に接続されている全ての画素のスイッチング用T F T 1 0 7がオンの状態になり、2ライン目の画素にソース信号線S 1～S xから1ビット目のデジタルビデオ信号が入力される。

【 0 1 0 4 】

このように順に、全ての対向電源線E 1～E xが対向電位に保たれる。そして全てのゲート信号線G 1～G yが選択され、全ての画素に1ビット目のデジタルビデオ信号が入力される。全ての画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間T a 1である。

【 0 1 0 5 】

一方、全ての画素に1ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間T a 1が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路1 0 4によって対向電源線E 1に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線E 1に対向電極が接続されているE L素子が全て非発光の状態になる。よって対向電源線E 1に対向電極が接続されているE L素子を有する全ての画素（1ライン目の画素）が表示を行わなくなる。

【 0 1 0 6 】

画素が表示を行わない期間を非表示期間T dと呼ぶ。1ライン目の画素において、対向電源線E 1がオフの対向電位に保たれると同時に表示期間T r 1が終了し、非表示期間T d 1となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 0 7 】

そして対向電源線E 1がオフの対向電位に保たれたまま、次に対向電源線E 2がオフの対向電位に保たれる。よって、対向電源線E 2に対向電極が接続されたE L素子を有する全ての画素（2ライン目の画素）が表示を行わない非表示の状態となる。

【 0 1 0 8 】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源

線 $E_1 \sim E_y$ がオフの対向電位に保たれ、1ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e1} である。

【0109】

一方、全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれる前、言い換えると消去期間 T_{e1} が終了する前に、画素が非表示の状態になるのと並行して、再び対向電源線 E_1 がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線 G_1 の選択が行われ、1ライン目の画素に2ビット目のデジタルビデオ信号が入力される。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0110】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0111】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、対向電源線 E_1 がオフの対向電位に保たれる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0112】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、2ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e2} である。

【0113】

上述した動作は5ビット目のデジタルビデオ信号が画素に入力されるまで繰り返す。

返し行われ、各ラインの画素の表示期間 T_{r1} は、書き込み期間 T_{a1} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間 T_{d1} は、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、 T_{r4} と非表示期間 T_{d2} 、 T_{d3} 、 T_{d4} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれの期間が定められる。

【0114】

次に、対向電源線 $E1$ がオンの対向電位に保たれ、5ビット目のデジタルビデオ信号が1ライン目の画素に入力される。よって1ライン目の画素は表示期間 T_{r5} となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、5ビット目のデジタルビデオ信号は画素に保持される。そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして5ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r5} となり表示を行う。

【0115】

そして次に全ての対向電源線がオンの対向電位に保たれたまま、6ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた5ビット目のデジタルビデオ信号は、6ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 T_{r6} となり、表示を行う。6ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。そして同様に、6ビット目のデジタルビデオ信号が順に全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r6} となり表示を行う。

【0116】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力される

と、表示期間 $T_r 6$ は終了し、同時にフレーム期間が終了する。全ての表示期間 ($T_r 1 \sim T_r 6$) が終了するとフレーム期間が終了し、1つの画像を表示することができる。そして次のフレーム期間においても、上述した動作を繰り返す。

【0 1 1 7】

各ラインの画素の表示期間 $T_r 5$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合書き込み期間 $T_a 6$ ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの画素の表示期間 $T_r 6$ は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合次のフレーム期間の書き込み期間 $T_a 1$ ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【0 1 1 8】

表示期間 T_r の長さは、 $T_r 1 : T_r 2 : \dots : T_r 5 : T_r 6 = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0 1 1 9】

1 フレーム期間中に EL 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を 100% とすると、 $T_r 1$ と $T_r 2$ において画素が発光した場合には 5% の輝度が表現でき、 $T_r 3$ と $T_r 5$ を選択した場合には 32% の輝度が表現できる。

【0 1 2 0】

本実施例において、5ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 $T_a 5$ は、表示期間 $T_r 5$ の長さよりも短いことが肝要である。

【0 1 2 1】

また表示期間 ($T_r 1 \sim T_r 6$) は、どのような順序で出現させても良い。例

例えば1フレーム期間中において、 $T r 1$ の次に $T r 3$ 、 $T r 5$ 、 $T r 2$ 、…という順序で表示期間を出現させることも可能である。ただし、消去期間($T e 1 \sim T e 6$)が互いに重ならない順序の方がより好ましい。また表示期間($T r 1 \sim T r 6$)も互いに重ならない順序の方がより好ましい。

【0122】

本発明は上記構成によって、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力したときにEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0123】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0124】

(実施例2)

本実施例では、6ビットのデジタルビデオ信号に対応した本発明の駆動方法において、表示期間 $T r 1 \sim T r 6$ の出現する順序について説明する。

【0125】

図6に本実施例の駆動方法を示すタイミングチャートを示す。画素の詳しい駆動の仕方については実施例1を参照すれば良いので、ここでは省略する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間(本実施例では $T d 1$)を1フレーム期間の最後に設ける。上記構成によって、非表示期間 $T d 1$ と、次のフレーム期間の最初の表示期間(本実施例では $T r 4$)との間にフレーム期間の区切れがあるように人間の目に映る。これによって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0126】

なお本実施例では、6ビットのデジタルビデオ信号の場合について説明したが

、本発明はこれに限定されない。本実施例はデジタルビデオ信号のビット数に限定されることなく実施することが可能である。

【 0 1 2 7 】

(実施例 3)

本実施例では、本発明の E L ディスプレイにおいて、4 ビットのデジタルビデオ信号により 2^4 階調の表示を行う場合について図 7 を用いて説明する。なお本実施例の E L ディスプレイは、図 1 ～図 3 に示した構造を有する。

【 0 1 2 8 】

はじめに対向電極電源線駆動回路 1 0 4 によって、対向電源線 E 1 に与えられている対向電位が、電源電位が画素電極に与えられたときに E L 素子が発光する程度に、電源電位との間に電位差を有するような電位（オンの対向電位）に保たれる。

【 0 1 2 9 】

そして、ゲート信号線駆動回路 1 0 3 からゲート信号線 G 1 に入力されるゲート信号によって、ゲート信号線 G 1 が選択される。よってゲート信号線 G 1 に接続されている全ての画素（1 ライン目の画素）のスイッチング用 T F T 1 0 7 がオンの状態になる。

【 0 1 3 0 】

そして同時に、ソース信号線駆動回路 1 0 2 からソース信号線 S 1 ～ S x に、1 ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用 T F T 1 0 7 を介して E L 駆動用 T F T 1 0 8 のゲート電極に入力される。

【 0 1 3 1 】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となる。よって E L 素子 1 1 0 の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光しない。

【 0 1 3 2 】

逆に、デジタルビデオ信号が「1」の情報を有していた場合、E L 駆動用 T F

T 1 0 8 はオンの状態となる。よって E L 素子 1 1 0 の画素電極に電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する E L 素子 1 1 0 は発光する。

【 0 1 3 3 】

なお本実施例ではデジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 はオフの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 はオンの状態となるが、本発明はこの構成に限定されない。デジタルビデオ信号が「0」の情報を有していた場合、E L 駆動用 T F T 1 0 8 がオンの状態となり、「1」の情報を有していた場合 E L 駆動用 T F T 1 0 8 オフの状態となっても良い。

【 0 1 3 4 】

このように 1 ライン目の画素は、デジタルビデオ信号が入力されると同時に、E L 素子 1 1 0 が発光、または非発光を行い、1 ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T r と呼ぶ。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【 0 1 3 5 】

次にゲート信号線 G 1 の選択が終了すると、対向電源線 E 1 はオンの対向電位に保たれたままで、対向電源線駆動回路 1 0 4 によって、対向電源線 E 2 がオンの対向電位に保たれる。そしてゲート信号によってゲート信号線 G 2 が選択されることによって、ゲート信号線 G 2 に接続されている全ての画素のスウィッチング用 T F T 1 0 7 がオンの状態になり、2 ライン目の画素にソース信号線 S 1 ~ S x から 1 ビット目のデジタルビデオ信号が入力される。

【 0 1 3 6 】

このように順に、全ての対向電源線 E 1 ~ E x が対向電位に保たれる。そして全てのゲート信号線 G 1 ~ G y が選択され、全ての画素に 1 ビット目のデジタルビデオ信号が入力される。全ての画素に 1 ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【 0 1 3 7 】

一方、全ての画素に 1 ビット目のデジタルビデオ信号が入力される前、言い換

えると書き込み期間 T_{a1} が終了する前に、画素への 1 ビット目のデジタルビデオ信号の入力と並行して、対向電源線駆動回路 104 によって対向電源線 E_1 に与えられる対向電位が、電源電位と同じ高さの電位（オフの対向電位）に保たれる。そして、対向電源線 E_1 に対向電極が接続されている EL 素子が全て非発光の状態になる。よって対向電源線 E_1 に対向電極が接続されている EL 素子を有する全ての画素（1 ライン目の画素）が表示を行わなくなる。

【0138】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1 ライン目の画素において、対向電源線 E_1 がオフの対向電位に保たれると同時に表示期間 T_{r1} が終了し、非表示期間 T_{d1} となる。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0139】

そして対向電源線 E_1 がオフの対向電位に保たれたまま、次に対向電源線 E_2 がオフの対向電位に保たれる。よって、対向電源線 E_2 に対向電極が接続された EL 素子を有する全ての画素（2 ライン目の画素）が表示を行わない非表示の状態となる。

【0140】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、1 ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e1} である。

【0141】

一方、全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれる前、言い換えると消去期間 T_{e1} が終了する前に、画素が非表示の状態になると並行して、再び対向電源線 E_1 がオンの対向電位に保たれる。そしてゲート信号によるゲート信号線 G_1 の選択が行われ、1 ライン目の画素に 2 ビット目のデジタルビデオ信号が入力される。その結果、1 ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0142】

そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全ての画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0143】

そして一方、全ての画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、対向電源線 E_1 がオフの対向電位に保たれる。よって1ライン目の画素が有する E_L 素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0144】

そして順に、全ての対向電源線がオフの対向電位に保たれる。全ての対向電源線 $E_1 \sim E_y$ がオフの対向電位に保たれ、2ビット目のデジタル信号により表示を行っていた全ての画素が非表示の状態になるまでの期間が消去期間 T_{e2} である。

【0145】

各ラインの画素の表示期間 T_{r1} は、書き込み期間 T_{a1} において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられるまでの期間である。また各ラインの画素の非表示期間 T_{d1} は、消去期間 T_{e1} において各ラインの画素の対向電極にオフの対向電位が与えられてから、次に出現する書き込み期間（この場合書き込み期間 T_{a2} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの表示期間 T_{r2} と非表示期間 T_{d2} も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれの期間が定められる。

【0146】

次に、対向電源線 E_1 がオンの対向電位に保たれ、3ビット目のデジタルビデ

オ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 T_{r3} となり表示を行う。そして同様に、順に全ての対向電源線がオンの対向電位に保たれる。そして3ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r3} となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、3ビット目のデジタルビデオ信号は画素に保持される。

【0147】

次に全ての対向電源線がオンの対向電位に保たれたまま、4ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた3ビット目のデジタルビデオ信号は、4ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 T_{r4} となり、表示を行う。そして同様に、順に全ての対向電源線がオンの対向電位に保たれたまま、4ビット目のデジタルビデオ信号が全てのラインの画素に入力され、全てのラインの画素は表示期間 T_{r4} となり表示を行う。4ビット目のデジタルビデオ信号は、再び次のフレーム期間の1ビット目のデジタルビデオ信号が入力されるまで画素に保持される。

【0148】

再び次のフレーム期間の1ビット目のデジタルビデオ信号が画素に入力されると、表示期間 T_{r4} は終了し、同時にフレーム期間が終了する。全ての表示期間($T_{r1} \sim T_{r4}$)が終了すると、1つの画像を表示することができる。そして次のフレーム期間においても上述した動作を繰り返す。

【0149】

各ラインの画素の表示期間 T_{r3} は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（この場合書き込み期間 T_{a4} ）において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。そして各ラインの画素の表示期間 T_{r4} は、各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれてから、その次に出現する書き込み期間（こ

の場合次のフレーム期間の書き込み期間 T_{a1}) において各ラインの画素の対向電極にオンの対向電位が与えられて各ラインの画素にデジタルビデオ信号が書き込まれるまでの期間である。

【0150】

表示期間 T_r の長さは、 $T_{r1} : T_{r2} : T_{r3} : T_{r4} = 2^0 : 2^1 : 2^2 : 2^3$ となるように設定する。この表示期間の組み合わせで 2^4 階調のうち所望の階調表示を行うことができる。

【0151】

1 フレーム期間中に EL 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を 100% とすると、 T_{r1} と T_{r2} において画素が発光した場合には 20% の輝度が表現でき、 T_{r3} のみ選択した場合には 27% の輝度が表現できる。

【0152】

本実施例において、3 ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{a3} は、表示期間 T_{r3} の長さよりも短いことが肝要である。

【0153】

また表示期間 ($T_{r1} \sim T_{r4}$) は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r4} 、 T_{r2} という順序で表示期間を出現させることも可能である。ただし、消去期間 ($T_{e1} \sim T_{e4}$) が互いに重ならない順序の方がより好ましい。また表示期間 ($T_{r1} \sim T_{r4}$) も互いに重ならない順序の方がより好ましい。

【0154】

本発明は上記構成によって、TFT によって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、同じ電圧の信号を入力しても EL 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0155】

また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、EL ディスプレイに全白の画像を表示させると、常に EL

素子が発光することになり、E L 層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、E L 層の劣化をある程度抑えることができる。

【 0 1 5 6 】

なお本実施例は、実施例 2 と組み合わせて実施することが可能である。

【 0 1 5 7 】

(実施例 4)

本実施例では、図 3 に示した本発明の E L ディスプレイの画素の上面図 (図 8) について説明する。図 3 と図 8 では共通の符号を用いるので互いに参照すれば良い。

【 0 1 5 8 】

図 8 (A) において、画素 1 0 5 はスイッチング用 T F T 1 0 7 と、E L 駆動用 T F T 1 0 8 とを有している。

【 0 1 5 9 】

スイッチング用 T F T 1 0 7 は、活性層 1 0 7 a と、ゲート信号線 (G) の一部であるゲート電極 1 0 7 b とを有している。E L 駆動用 T F T 1 0 8 は、活性層 1 0 8 a と、ゲート配線 1 2 1 の一部であるゲート電極 1 0 8 b とを有している。

【 0 1 6 0 】

スイッチング用 T F T 1 0 7 の活性層 1 0 7 a が有するソース領域とドレイン領域は、いずれか一方はソース信号線 (S) に、もう一方は接続配線 1 1 3 を介してゲート配線 1 2 1 に接続されている。なお接続配線 1 1 3 はソース信号線 (S) に入力される信号の電位によって、ソース配線と呼んだり、ドレイン配線と呼んだりする。

【 0 1 6 1 】

E L 駆動用 T F T 1 0 8 の活性層 1 0 8 a が有するソース領域とドレイン領域は、それぞれ電源供給線 (V) とドレイン配線 1 1 4 に接続されている。ドレイン配線 1 1 4 は画素電極 1 1 7 に接続されている。

【 0 1 6 2 】

容量配線 1 1 6 は半導体膜で形成されている。コンデンサ 1 1 2 は、電源供給線 (V) と電氣的に接続された容量配線 1 1 6、ゲート絶縁膜と同一層の絶縁膜 (図示せず) 及びゲート配線 1 2 1 との間で形成される。また、ゲート配線 1 2 1、第 1 層間絶縁膜と同一の層 (図示せず) 及び電源供給線 (V) で形成される容量もコンデンサとして用いることが可能である。

【 0 1 6 3 】

なお画素電極 1 1 7 上には有機樹脂膜をエッチングすることで開口部 1 3 1 を設けたバンクが形成されている (図 8 (B))。そして図示しないが、画素電極 1 1 7 上に E L 層と、対向電極を含む対向電源線 (E) が順に積層される。画素電極 1 0 5 と E L 層とはバンクの開口部 1 3 1 において接しており、E L 層は対向電源線 (E) と画素電極とに接して挟まれている部分のみ発光する。

【 0 1 6 4 】

ソース信号線 (S) と、電源供給線 (V) と、ゲート信号線 (G) と、対向電源線 (E) とをそれぞれ 1 つずつ有する領域 1 0 5 が画素である。

【 0 1 6 5 】

なお本発明の E L ディスプレイの画素部の上面図は、図 8 に示した構成に限定されない。

【 0 1 6 6 】

本実施例は実施例 1 ～ 3 と組み合わせて実施することが可能である。

【 0 1 6 7 】

(実施例 5)

本実施例では、図 1 で示した本発明の E L ディスプレイの駆動回路の詳しい構成について、図 9 を用いて説明する。

【 0 1 6 8 】

ソース信号線駆動回路 1 0 2 は基本的にシフトレジスタ 1 0 2 a、ラッチ (A) (第 1 のラッチ) 1 0 2 b、ラッチ (B) (第 2 のラッチ) 1 0 2 c を有している。

【 0 1 6 9 】

ソース信号線駆動回路 1 0 2 において、シフトレジスタ 1 0 2 a にクロック信

号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 1 0 2 a は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に生成し、ラッチ (A) 1 0 2 b に入力する。

【0 1 7 0】

なお図 9 では図示しなかったが、シフトレジスタ 1 0 2 a から出力されたタイミング信号をバッファ等 (図示せず) によって緩衝増幅してから、後段の回路であるラッチ (A) 1 0 2 b に入力しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

【0 1 7 1】

ラッチ (A) 1 0 2 b は、n ビットのデジタルビデオ信号 (n bit digital video signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 0 2 b は、タイミング信号が入力されると、ソース信号線駆動回路 1 0 2 の外部から入力される n ビットのデジタルビデオ信号を順次取り込み、保持する。

【0 1 7 2】

なお、ラッチ (A) 1 0 2 b にデジタルビデオ信号を取り込む際に、ラッチ (A) 1 0 2 b が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 1 0 2 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0 1 7 3】

ラッチ (A) 1 0 2 b の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 0 2 b 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン

期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 1 7 4 】

1 ライン期間が終了すると、ラッチ (B) 1 0 2 c にラッチシグナル (Latch Signal) が供給される。この瞬間、ラッチ (A) 1 0 2 b に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 1 0 2 c に一斉に送出され、ラッチ (B) 1 0 2 c の全ステージのラッチに書き込まれ、保持される。

【 0 1 7 5 】

デジタルビデオ信号をラッチ (B) 1 0 2 c に送出し終えたラッチ (A) 1 0 2 b には、シフトレジスタ 1 0 2 a からのタイミング信号に基づき、ソース信号線駆動回路 1 0 2 の外部から入力されるデジタルビデオ信号の書き込みが順次行われる。

【 0 1 7 6 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 b に書き込まれ、保持されているデジタルビデオ信号がソース信号線に入力される。

【 0 1 7 7 】

一方、ゲート信号線駆動回路 1 0 3 は、シフトレジスタ 1 0 3 a、バッファ 1 0 3 b を有している。また場合によっては、シフトレジスタ 1 0 3 a、バッファ 1 0 3 b の他にレベルシフトを有していても良い。

【 0 1 7 8 】

対向電源線駆動回路 1 0 4 は、シフトレジスタ 1 0 4 a、バッファ 1 0 4 b を有している。また場合によっては、シフトレジスタ 1 0 4 a、バッファ 1 0 4 b の他にレベルシフトを有していても良い。

【 0 1 7 9 】

ゲート信号線駆動回路 1 0 3 及び対向電源線駆動回路 1 0 4 において、シフトレジスタ 1 0 3 a、1 0 4 a からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線、対向電源線にそれぞれ供給される。

【 0 1 8 0 】

ゲート信号線には、1 ライン分の画素 T F T のゲート電極が接続されており、1 ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファ

1 0 3 b は大きな電流を流すことが可能なものが用いられる。また、対向電源線は、1 ライン分の画素が有する対向電極が含まれており、1 ライン分全ての対向電極に同時にオンの対向電位またはオフの対向電位を与えなくてはならないので、バッファ 1 0 4 b は大きな電流を流すことが可能なものが用いられる。

【 0 1 8 1 】

なお本実施例は、実施例 1 ～ 4 と組み合わせて実施することが可能である。

【 0 1 8 2 】

(実施例 6)

本実施例では、本発明の E L ディスプレイの画素部とその周辺に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路、対向電源線駆動回路）の T F T を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である C M O S 回路を図示することとする。

【 0 1 8 3 】

まず、図 1 0 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 5 0 0 1 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 5 0 0 2 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜 5 0 0 2 a を 1 0 ～ 2 0 0 [nm]（好ましくは 5 0 ～ 1 0 0 [nm]）形成し、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化水素化シリコン膜 5 0 0 2 b を 5 0 ～ 2 0 0 [nm]（好ましくは 1 0 0 ～ 1 5 0 [nm]）の厚さに積層形成する。本実施例では下地膜 5 0 0 2 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 1 8 4 】

島状半導体層 5 0 0 3 ～ 5 0 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 5 0 0 3 ～ 5 0 0 6 の厚さは 2 5 ～ 8 0 [nm]（好ましくは 3 0 ～ 6 0 [nm]）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（ $S i G e$ ）合金などで形成すると良い。

【 0 1 8 5 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100～400 [mJ/cm²] (代表的には200～300 [mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 [kHz]とし、レーザーエネルギー密度を300～600 [mJ/cm²] (代表的には350～500 [mJ/cm²])とする。そして幅100～1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80～98 [%]として行う。

【 0 1 8 6 】

次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300～400 [°C]とし、高周波(13.56 [MHz])、電力密度0.5～0.8 [W/cm²]で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【 0 1 8 7 】

そして、ゲート絶縁膜5007上にゲート電極を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100 [nm]の厚さに形成し、第2の導電膜5009をWで

1 0 0 ~ 3 0 0 [nm] の厚さに形成する。

【 0 1 8 8 】

T a 膜はスパッタ法で、T a のターゲットをA r でスパッタすることにより形成する。この場合、A r に適量のX e やK r を加えると、T a 膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のT a 膜の抵抗率は2 0 [$\mu \Omega \text{cm}$] 程度でありゲート電極に使用することができるが、 β 相のT a 膜の抵抗率は1 8 0 [$\mu \Omega \text{cm}$] 程度でありゲート電極とするには不向きである。 α 相のT a 膜を形成するために、T a の α 相に近い結晶構造をもつ窒化タンタルを1 0 ~ 5 0 [nm] 程度の厚さでT a の下地に形成しておくことと α 相のT a 膜を容易に得ることができる。

【 0 1 8 9 】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6 フッ化タンゲステン (WF_6) を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は2 0 [$\mu \Omega \text{cm}$] 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度9 9 . 9 9 9 9 [%] のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9 ~ 2 0 [$\mu \Omega \text{cm}$] を実現することができる。

【 0 1 9 0 】

なお、本実施例では、第1の導電膜5 0 0 8をT a、第2の導電膜5 0 0 9をWとしたが、特に限定されず、いずれもT a、W、T i、M o、A l、C uから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル (T a N) で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル (T a N) で形成し、第2の導電膜をA lとする組み合わせ、第1の導電膜を窒化タンタル (T a N) で形成し、第2の導

電膜をCuとする組み合わせで形成することが好ましい。

【0191】

次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0192】

上記エッチング条件では、レジストによるマスクの形状に適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20$ [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50$ [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011 \sim 5016 (第1の導電層5011a \sim 5016aと第2の導電層5011b \sim 5016b) を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011 \sim 5016で覆われない領域は $20 \sim 50$ [nm]程度エッチングされ薄くなった領域が形成される。

(図10 (A))

【0193】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。(図10 (B)) ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を $60 \sim 100$ [keV]として行う。n型を付与する不純物元素

として 1 5 族に属する元素、典型的にはリン (P) または砒素 (As) を用いるが、ここではリン (P) を用いる。この場合、導電層 5 0 1 1 ~ 5 0 1 5 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 5 0 1 7 ~ 5 0 2 5 が形成される。第 1 の不純物領域 5 0 1 7 ~ 5 0 2 5 には $1 \times 10^{20} \sim 1 \times 10^{21} [\text{atoms/cm}^3]$ の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 1 9 4 】

次に、図 1 0 (C) に示すようにレジストによるマスクを除去せずに、第 2 のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W 膜を選択的にエッチングする。この時、第 2 のエッチング処理により第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 1 (第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a と第 2 の導電層 5 0 2 6 b ~ 5 0 3 1 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 1 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 9 5 】

W 膜や Ta 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と Ta のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスでは W 膜及び Ta 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、Ta は F が増大しても相対的にエッチング速度の増加は少ない。また、Ta は W に比較して酸化されやすいので、 O_2 を添加することで Ta の表面が酸化される。Ta の酸化物はフッ素や塩素と反応しないためさらに Ta 膜のエッチング速度は低下する。従って、W 膜と Ta 膜とのエッチング速度に差を作ることが可能となり W 膜のエッチング速度を Ta 膜よりも大きくすることが可能となる。

【 0 1 9 6 】

そして、図 1 1 (A) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 [keV] とし、 1×10^{13} [atoms/cm²] のドーズ量で行い、図 1 0 (B) で島状半導体層に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 5 0 2 6 ~ 5 0 3 0 を不純物元素に対するマスクとして用い、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 が形成される。この第 3 の不純物領域 5 0 3 2 ~ 5 0 3 6 に添加されたリン (P) の濃度は、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部と重なる半導体層において、第 1 の導電層 5 0 2 6 a ~ 5 0 3 0 a のテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【 0 1 9 7 】

図 1 1 (B) に示すように第 3 のエッチング処理を行う。エッチングガスに C H F₆ を用い、反応性イオンエッチング法 (R I E 法) を用いて行う。第 3 のエッチング処理により、第 1 の導電層 5 0 2 6 a ~ 5 0 3 1 a のテーパー部を部分的にエッチングして、第 1 の導電層が半導体層と重なる領域が縮小される。第 3 のエッチング処理によって、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 (第 1 の導電層 5 0 3 7 a ~ 5 0 4 1 a と第 2 の導電層 5 0 3 7 b ~ 5 0 4 2 b) を形成する。このとき、ゲート絶縁膜 5 0 0 7 においては、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 で覆われない領域はさらに 2 0 ~ 5 0 [nm] 程度エッチングされ薄くなった領域が形成される。

【 0 1 9 8 】

第 3 のエッチング処理によって、第 1 の導電層 5 0 3 7 a ~ 5 0 4 1 a と重なる第 3 の不純物領域 5 0 3 2 a ~ 5 0 3 6 a と、第 1 の不純物領域と第 3 の不純物領域との間の第 2 の不純物領域 5 0 3 2 b ~ 5 0 3 6 b とを形成する。

【 0 1 9 9 】

そして、図 1 1 (C) に示すように、p チャネル型 T F T を形成する島状半導体層 5 0 0 4 ~ 5 0 0 6 に第 1 の導電型とは逆の導電型の第 4 の不純物領域 5 0 5 2 ~ 5 0 7 4 を形成する。第 2 の導電層 5 0 3 8 b ~ 5 0 4 1 b を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する島状半導体層 5 0 0 3 および配線部 5 0 3 1 はレジストマスク 5 2 0 0 で全面を被覆しておく。不純物領域 5 0 5 2 ~ 5 0 7 4 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにする。

【 0 2 0 0 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 1 がゲート電極として機能する。また、5 0 4 2 は島状のソース信号線として機能する。

【 0 2 0 1 】

レジストマスク 5 2 0 0 を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はフアーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。熱アニール法では酸素濃度が 1 [ppm] 以下、好ましくは 0. 1 [ppm] 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 [°C]、代表的には 5 0 0 ~ 6 0 0 [°C] で行うものであり、本実施例では 5 0 0 [°C] で 4 時間の熱処理を行う。ただし、第 3 の形状の導電層 5 0 3 7 ~ 5 0 4 2 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分とする) を形成した後で活性化を行うことが好ましい。

【 0 2 0 2 】

さらに、3 ~ 1 0 0 [%] の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 [°C] で 1 ~ 1 2 時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を

用いる)を行っても良い。

【0203】

次いで、図12(A)に示すように、第1の層間絶縁膜5075を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜5076を形成した後、第1の層間絶縁膜5075、第2の層間絶縁膜5076、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線(接続配線、信号線を含む)5077～5082、5084をパターニング形成した後、接続配線5082に接する画素電極5083をパターニング形成する。

【0204】

第2の層間絶縁膜5076としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5076は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μ m](さらに好ましくは2～4[μ m])とすれば良い。

【0205】

コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、n型の不純物領域5017、5018またはp型の不純物領域5052～5074に達するコンタクトホール、配線5031に達するコンタクトホール、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0206】

また、配線(接続配線、信号線を含む)5077～5082、5084として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0207】

また、本実施例では、画素電極5083としてITO膜を110[nm]の厚さに

形成し、パターニングを行った。画素電極 5 0 8 3 を接続配線 5 0 8 2 と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに 2 ～ 2 0 [%] の酸化亜鉛 (Z n O) を混合した透明導電膜を用いても良い。この画素電極 5 0 8 3 が E L 素子の陽極となる。(図 1 2 (A))

【 0 2 0 8 】

次に、図 1 2 (B) に示すように、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を 5 0 0 [nm] の厚さに形成し、画素電極 5 0 8 3 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5 0 8 5 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する E L 層の劣化が顕著な問題となってしまう。

【 0 2 0 9 】

次に、E L 層 5 0 8 6 および陰極 (M g A g 電極) 5 0 8 7 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 5 0 8 6 の膜厚は 8 0 ～ 2 0 0 [nm] (典型的には 1 0 0 ～ 1 2 0 [nm])、陰極 5 0 8 7 の厚さは 1 8 0 ～ 3 0 0 [nm] (典型的には 2 0 0 ～ 2 5 0 [nm]) とすれば良い。

【 0 2 1 0 】

この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、E L 層および陰極を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層および陰極を形成するのが好ましい。

【 0 2 1 1 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても

構わない。

【0 2 1 2】

ここではRGBに対応した3種類のEL素子を形成する方式を用いたが、白色発光のEL素子とカラーフィルタを組み合わせた方式、青色または青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したEL素子を重ねる方式などを用いても良い。

【0 2 1 3】

なお、EL層5086としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0 2 1 4】

次に、同じゲート信号線にゲート電極が接続されたスイッチング用TFTを有する画素（同じラインの画素）上に、メタルマスクを用いて陰極5087を形成する。なお本実施例では陰極5087としてMgAgを用いたが、本発明はこれに限定されない。陰極5087として他の公知の材料を用いても良い。

【0 2 1 5】

最後に、窒化珪素膜でなるパッシベーション膜5089を300[nm]の厚さに形成する。パッシベーション膜5089を形成しておくことで、EL層5086を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0 2 1 6】

こうして図12（B）に示すような構造のELディスプレイが完成する。なお、本実施例におけるELディスプレイの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0 2 1 7】

ところで、本実施例のE Lディスプレイは、画素部だけでなく駆動回路部にも最適な構造のT F Tを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてN i等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を1 0 [MHz]以上にすることが可能である。

【 0 2 1 8 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するT F Tを、駆動回路部を形成するC M O S回路のnチャネル型T F Tとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッションゲートなどが含まれる。

【 0 2 1 9 】

本実施例の場合、nチャネル型T F Tの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるL D D領域（L o v領域）、ゲート絶縁膜を間に挟んでゲート電極と重ならないL D D領域（L o f f領域）およびチャネル形成領域を含む。

【 0 2 2 0 】

また、C M O S回路のpチャネル型T F Tは、ホットキャリア注入による劣化が殆ど気にならないので、特にL D D領域を設けなくても良い。勿論、nチャネル型T F Tと同様にL D D領域を設け、ホットキャリア対策を講じることも可能である。

【 0 2 2 1 】

その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなC M O S回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなC M O S回路が用いられる場合、C M O S回路を形成するnチャネル型T F Tは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でL D D領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるC M O S回路が用いられる場合、C M O S回路を形成するnチャ

ネル型 T F T は、L o v 領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【 0 2 2 2 】

なお、実際には図 1 2 (B) の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりすると E L 素子の信頼性が向上する。

【 0 2 2 3 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では E L ディスプレイという。

【 0 2 2 4 】

また、本実施例で示す工程に従えば、E L ディスプレイの作製に必要なフォトマスクの数を抑えることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【 0 2 2 5 】

なお本実施例は、実施例 1 ～ 5 と組み合わせて実施することが可能である。

【 0 2 2 6 】

（実施例 7）

本実施例では、本発明の E L ディスプレイの断面構造の概略について、図 1 2 とは別の例を図 1 3 を用いて説明する。図 1 2 では、スイッチング用 T F T、E L 駆動用 T F T がトップゲート型の T F T である例について示したが、本実施例では T F T にボトムゲート型の薄膜トランジスタを用いた例について説明する。

【 0 2 2 7 】

図 1 3 において、8 1 1 は基板、8 1 2 は下地となる絶縁膜（以下、下地膜という）である。基板 8 1 1 としては透光性基板、代表的にはガラス基板、石英基板、ガラスセラミックス基板、又は結晶化ガラス基板を用いることができる。但し、作製プロセス中の最高処理温度に耐えるものでなくてはならない。

【 0 2 2 8 】

また、下地膜 8 1 2 は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜 8 1 2 としては、珪素（シリコン）を含む絶縁膜を用いれば良い。なお、本明細書において「珪素を含む絶縁膜」とは、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸化珪素膜（ SiO_xN_y ： x 、 y は任意の整数、で示される）など珪素に対して酸素若しくは窒素を所定の割合で含ませた絶縁膜を指す。

【 0 2 2 9 】

8 2 0 1 はスイッチング用 T F T、8 2 0 2 は E L 駆動用 T F T であり、それぞれ n チャネル型 T F T、p チャネル型 T F T で形成されている。E L の発光方向が基板の下面（T F T 及び E L 層が設けられていない面）の場合、上記構成であることが好ましい。しかし本発明はこの構成に限定されない。スイッチング用 T F T と E L 駆動用 T F T は、n チャネル型 T F T でも p チャネル型 T F T でも、どちらでも構わない。

【 0 2 3 0 】

スイッチング用 T F T 8 2 0 1 は、ソース領域 8 1 3、ドレイン領域 8 1 4、L D D 領域 8 1 5 a ~ 8 1 5 d、分離領域 8 1 6 及びチャネル形成領域 8 1 7 a、8 1 7 b を含む活性層と、ゲート絶縁膜 8 1 8 と、ゲート電極 8 1 9 a、8 1 9 b と、第 1 層間絶縁膜 8 2 0 と、ソース信号線 8 2 1 と、ドレイン配線 8 2 2 とを有している。なお、ゲート絶縁膜 8 1 8 又は第 1 層間絶縁膜 8 2 0 は基板上の全 T F T に共通であっても良いし、回路又は素子に応じて異ならせても良い。

【 0 2 3 1 】

また、図 1 3 に示すスイッチング用 T F T 8 2 0 1 はゲート電極 8 1 7 a、8 1 7 b が電氣的に接続されており、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造も可能である。

ト構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【 0 2 3 2 】

マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用 T F T のオフ電流を十分に低くすれば、それだけ E L 駆動用 T F T 8 2 0 2 のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることは E L 素子の有効発光面積を広げる上でも有効である。

【 0 2 3 3 】

さらに、スイッチング用 T F T 8 2 0 1 においては、L D D 領域 8 1 5 a ~ 8 1 5 d は、ゲート絶縁膜 8 1 8 を介してゲート電極 8 1 9 a、8 1 9 b と重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、L D D 領域 8 1 5 a ~ 8 1 5 d の長さ（幅）は 0 . 5 ~ 3 . 5 μ m、代表的には 2 . 0 ~ 2 . 5 μ m とすれば良い。

【 0 2 3 4 】

なお、チャネル形成領域と L D D 領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が加えられない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域 8 1 6（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【 0 2 3 5 】

次に、E L 駆動用 T F T 8 2 0 2 は、ソース領域 8 2 6、ドレイン領域 8 2 7 及びチャネル形成領域 8 2 9 を含む活性層と、ゲート絶縁膜 8 1 8 と、ゲート電極 8 3 0 と、第 1 層間絶縁膜 8 2 0 と、ソース信号線 8 3 1 並びにドレイン配線 8 3 2 を有して形成される。本実施例において E L 駆動用 T F T 8 2 0 2 は p チャネル型 T F T である。

【 0 2 3 6 】

また、スイッチング用 T F T 8 2 0 1 のドレイン領域 8 1 4 は E L 駆動用 T F

T 8 2 0 2 のゲート電極 8 3 0 に接続されている。図示してはいないが、具体的には E L 駆動用 T F T 8 2 0 2 のゲート電極 8 3 0 はスイッチング用 T F T 8 2 0 1 のドレイン領域 8 1 4 とドレイン配線（接続配線とも言える） 8 2 2 を介して電氣的に接続されている。また、E L 駆動用 T F T 8 2 0 2 のソース信号線 8 3 1 は電源供給線（図示せず）に接続される。

【 0 2 3 7 】

E L 駆動用 T F T 8 2 0 2 は E L 素子 8 5 4 に供給される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、E L 駆動用 T F T 8 2 0 2 のチャネル幅（W）は、スイッチング用 T F T 8 2 0 1 のチャネル幅よりも長くなるように設計することが好ましい。また、E L 駆動用 T F T に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくはそれぞれ $0.5 \sim 2 \mu\text{A}$ （好ましくは $1 \sim 1.5 \mu\text{A}$ ）となるようにする。

【 0 2 3 8 】

またさらに、E L 駆動用 T F T の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは $50 \sim 100 \text{ nm}$ 、さらに好ましくは $60 \sim 80 \text{ nm}$ ）ことによって、T F T の劣化を抑えてもよい。逆に、スイッチング用 T F T 8 2 0 1 の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは $20 \sim 50 \text{ nm}$ 、さらに好ましくは $25 \sim 40 \text{ nm}$ ）ことも有効である。

【 0 2 3 9 】

以上は画素内に設けられた T F T の構造について説明したが、このとき同時に駆動回路も形成される。図 1 3 には駆動回路を形成する基本単位となる CMOS 回路が図示されている。

【 0 2 4 0 】

図 1 3 においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有する T F T を CMOS 回路の n チャネル型 T F T 8 2 0 4 として用いる。なお、ここでいう駆動回路としては、ソース信号線駆動回路、ゲート信号線駆動回路、対向電源線駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/D コンバータ、信号分割回路等）を形成することも可能である。

【 0 2 4 1 】

CMOS回路のnチャネル型TFT 8 2 0 4の活性層は、ソース領域 8 3 5、ドレイン領域 8 3 6、LDD領域 8 3 7及びチャネル形成領域 8 3 8を含み、LDD領域 8 3 7はゲート絶縁膜 8 1 8を介してゲート電極 8 3 9と重なっている。

【 0 2 4 2 】

ドレイン領域 8 3 6側のみにLDD領域 8 3 7を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT 8 2 0 4はオフ電流をあまり気にする必要はなく、それよりも動作速度を重視した方がよい。従って、オフセットはなくした方がよい。

【 0 2 4 3 】

また、CMOS回路のpチャネル型TFT 8 2 0 5は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域 8 4 0、ドレイン領域 8 4 1及びチャネル形成領域 8 4 2を含み、その上にはゲート絶縁膜 8 1 8とゲート電極 8 4 3が設けられる。勿論、nチャネル型TFT 8 2 0 4と同様にLDD領域を設け、ホットキャリア対策を講じることとも可能である。

【 0 2 4 4 】

なお 8 6 1～8 6 5はチャネル形成領域 8 4 2、8 3 8、8 1 7 a、8 1 7 b、8 2 9を形成するためのマスクである。

【 0 2 4 5 】

また、nチャネル型TFT 8 2 0 4及びpチャネル型TFT 8 2 0 5はそれぞれソース領域上に第1層間絶縁膜 8 2 0を間に介して、ソース信号線 8 4 4、8 4 5を有している。また、ドレイン配線 8 4 6によってnチャネル型TFT 8 2 0 4とpチャネル型TFT 8 2 0 5のドレイン領域は互いに電氣的に接続される。

【 0 2 4 6 】

次に、8 4 7は第1パッシベーション膜であり、膜厚は10 nm～1 μ m（好ましくは200～500 nm）とすれば良い。材料としては、珪素を含む絶縁膜

(特に窒化酸化珪素膜又は窒化珪素膜が好ましい) を用いることができる。このパッシベーション膜 8 4 7 は形成された T F T をアルカリ金属や水分から保護する役割金属を有する。最終的に T F T (特に E L 駆動用 T F T) の上方に設けられる E L 層 8 5 1 にはナトリウム等のアルカリ金属が含まれている。即ち、第 1 パッシベーション膜 8 4 7 はこれらのアルカリ金属 (可動イオン) を T F T 側に侵入させない保護層としても働く。

【 0 2 4 7 】

また、8 4 8 は第 2 層間絶縁膜であり、T F T によってできる段差の平坦化を行う平坦化膜としての機能を有する。第 2 層間絶縁膜 8 4 8 としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB (ベンゾシクロブテン) 等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。E L 層は凹凸に非常に敏感であるため、T F T による段差は第 2 層間絶縁膜 8 4 8 で殆ど吸収してしまうことが望ましい。また、ゲート信号線やソース信号線と E L 素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は 0. 5 ~ 5 μm (好ましくは 1. 5 ~ 2. 5 μm) が好ましい。

【 0 2 4 8 】

また、8 4 9 は透明導電膜でなる画素電極 (E L 素子の陽極) であり、第 2 層間絶縁膜 8 4 8 及び第 1 パッシベーション膜 8 4 7 にコンタクトホール (開孔) を開けた後、形成された開孔部において E L 駆動用 T F T 8 2 0 2 のドレイン配線 8 3 2 に接続されるように形成される。なお、図 1 3 のように画素電極 8 4 9 とドレイン領域 8 2 7 とが直接接続されないようにしておくと、E L 層のアルカリ金属が画素電極を経由して活性層へ侵入することを防ぐことができる。

【 0 2 4 9 】

画素電極 8 4 9 の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第 3 層間絶縁膜 8 5 0 が 0. 3 ~ 1 μm の厚さに設けられる。この第 3 層間絶縁膜 8 5 0 はバンクとして機能する。画素電極 8 4 9 の上にエッチングにより開口部が設けられ、その開口部の縁はテーパー形状となるようにエッチングする。テーパーの角度は 1 0 ~ 6 0 ° (好ましくは 3 0 ~ 5 0 °) とすると良い。特に第

3層間絶縁膜850を、画素電極849とEL駆動用TFT8202のドレイン配線832とが接続されている部分の上に設けることで、コンタクトホールの部分において生じる画素電極849の段差によるEL層851の発光不良を防ぐことができる。

【0250】

第3層間絶縁膜850の上にはEL層851が設けられる。EL層851は単層又は積層構造で用いられるが、積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0251】

図13の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図13には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。本発明は発光方式に関わらず実施することが可能である。

【0252】

EL層851の上には対向電極としてのEL素子の陰極852が設けられる。陰極852としては、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0253】

陰極852はEL層851を形成した後、大気解放しないで連続的に形成することが望ましい。陰極852とEL層851との界面状態はEL素子の発光効率に大きく影響するからである。なお、本明細書中では、画素電極(陽極)、EL層及び陰極で形成される発光素子をEL素子8206と呼ぶ。

【0254】

EL層851と陰極852とでなる積層体は、各画素で個別に形成する必要が

あるが、E L 層 8 5 1 は水分に極めて弱いため、通常のリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマ C V D 法等の気相法で選択的に形成することが好ましい。

【 0 2 5 5 】

なお、E L 層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能であるが、これらは現状では陰極の連続形成ができないので、上述の方法の方が好ましいと言える。

【 0 2 5 6 】

また、8 5 4 は第 2 パッシベーション膜であり、膜厚は 1 0 n m ~ 1 μ m (好ましくは 2 0 0 ~ 5 0 0 n m) とすれば良い。第 2 パッシベーション膜 8 5 4 を設ける目的は、E L 層 8 5 1 を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のように E L 層は熱に弱いので、なるべく低温 (好ましくは室温から 1 2 0 ° C までの温度範囲) で成膜するのが望ましい。従って、プラズマ C V D 法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法 (スピンコーティング法) が望ましい成膜方法と言える。

【 0 2 5 7 】

なお、図 1 3 に図示された T F T は全て、本発明で用いるポリシリコン膜を活性層として有していても良いことは言うまでもない。

【 0 2 5 8 】

本発明は、図 1 3 の E L ディスプレイの構造に限定されるものではなく、図 1 3 の構造は本発明を実施する上での好ましい形態の一つに過ぎない。

【 0 2 5 9 】

なお本実施例は、実施例 1 ~ 5 と組み合わせて実施することが可能である。

【 0 2 6 0 】

(実施例 8)

本実施例では、E L 素子が形成された基板を、E L 素子が大気に触れないように封止して、本発明の E L ディスプレイを作製する工程について説明する。なお、図 1 4 (A) は本発明の E L ディスプレイの上面図であり、図 1 4 (B) はそ

の断面図である。

【0261】

図14 (A)、(B)において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004 aはゲート信号線駆動回路、4004 bは対向電源線駆動回路であり、それぞれの駆動回路は配線4005を経てFPC（フレキシブルプリントサーキット）4006に至り、外部機器へと接続される。

【0262】

このとき、画素部4002、ソース信号線駆動回路4003、ゲート信号線駆動回路4004 a及び対向電源線駆動回路4004 bを囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0263】

図14 (B)は図14 (A)をA-A'で切断した断面図に相当し、基板4001の上にソース信号線駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示している。）4201及び画素部4002に含まれるEL駆動用TFT（EL素子を流れる電流を制御するTFT）4202が形成されている。

【0264】

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、EL駆動用TFT4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002にはEL駆動用TFT4202のゲート電極に接続されたコンデンサ（図示せず）が設けられる。

【0265】

駆動TFT4201及びEL駆動用TFT4202の上には樹脂材料でなる層間絶縁膜（平坦化膜）4301が形成され、その上にEL駆動用TFT4202のドレイン領域と電氣的に接続する画素電極（陽極）4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛と

の化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【 0 2 6 6 】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【 0 2 6 7 】

E L 層 4 3 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 2 6 8 】

E L 層 4 3 0 4 の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極 4 3 0 5 が形成される。陰極 4 3 0 5 は対向電源線の一部であり、対向電源線と同時に形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【 0 2 6 9 】

そして陰極 4 3 0 5 は 4 3 0 6 で示される領域において配線 4 0 0 5 に電氣的に接続される。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【 0 2 7 0 】

以上のようにして、画素電極（陽極）4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

【 0 2 7 1 】

カバー材 4 1 0 2 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（F i b e r g l a s s - R e i n f o r c e d P l a s t i c s）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【 0 2 7 2 】

但し、E L 素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【 0 2 7 3 】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材 4 1 0 3 の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくと E L 素子の劣化を抑制できる。

【 0 2 7 4 】

また、充填材 4 1 0 3 の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4 3 0 5 上に樹脂膜を設けることも有効である。

【 0 2 7 5 】

また、配線 4 0 0 5 は異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。配線 4 0 0 5 は画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3、ゲート信号線駆動回路 4 0 0 4 a 及び対向電源線駆動回路 4 0 0 4 b に送られる信号を F P C 4 0 0 6 に伝え、F P C 4 0 0 6 により外部機器と電氣的に接続される。

【 0 2 7 6 】

また、本実施例では第 1 シール材 4 1 0 1 の露呈部及び F P C 4 0 0 6 の一部を覆うように第 2 シール材 4 1 0 4 を設け、E L 素子を徹底的に外気から遮断する構造となっている。こうして図 1 4 (B) の断面構造を有する E L ディスプレイとなる。

【 0 2 7 7 】

なお本実施例は、実施例 1 ～ 7 と組み合わせて実施することが可能である。

【 0 2 7 8 】

(実施例 9)

本実施例では、図 3 とは異なる構造を有する画素の回路図について、図 1 5 を用いて説明する。なお、本実施例において、4 8 0 1 はソース信号線、4 8 0 2 はスイッチング用 T F T、4 8 0 3 はゲート信号線、4 8 0 4 は E L 駆動用 T F T、4 8 0 5 はコンデンサ、4 8 0 6 は電源供給線、4 8 0 8 は対向電源線、4 8 0 9 は E L 素子である。

【 0 2 7 9 】

図 1 5 に示した回路図では、同じラインの隣り合う二つの画素間で、同じ電源供給線 4 8 0 6 を有している場合の例である。即ち、二つの画素が電源供給線 4 8 0 6 を中心に線対称となるように形成されている点に特徴がある。電源供給線 4 8 0 6 は、隣り合う 2 つの画素が有する E L 駆動用 T F T 4 8 0 4 のソース領域にそれぞれ接続されている。

【 0 2 8 0 】

この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精度化することができる。

【 0 2 8 1 】

なお、本実施例の構成は、実施例 1 ～ 8 の構成と組み合わせて実施することが可能である。

【 0 2 8 2 】

(実施例 1 0)

本実施例では、図 9 で示したソース信号線駆動回路 1 0 2 の詳しい構成について説明する。

【 0 2 8 3 】

シフトレジスタ 8 0 1、ラッチ (A) (8 0 2)、ラッチ (B) (8 0 3)、が図 1 6 に示すように配置されている。なお本実施例では、1 組のラッチ (A) (8 0 2) と 1 組のラッチ (B) (8 0 3) が、4 本のソース信号線 $S_t \sim S(t+3)$ に対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【 0 2 8 4 】

クロック信号 CLK、CLK の極性が反転したクロック信号 CLKB、スタートパルス信号 SP、駆動方向切り替え信号 SL/R はそれぞれ図に示した配線からシフトレジスタ 8 0 1 に入力される。また外部から入力されるデジタルビデオ信号 VD は図に示した配線からラッチ (A) (8 0 2) に入力される。ラッチ信号 S__LAT、S__LAT の極性が反転した信号 S__LATb はそれぞれ図に示した配線からラッチ (B) (8 0 3) に入力される。

【 0 2 8 5 】

ラッチ (A) (8 0 2) の詳しい構成について、ソース信号線 S_t に対応するラッチ (A) (8 0 2) の一部 8 0 4 を例にとって説明する。ラッチ (A) (8 0 2) の一部 8 0 4 は 2 つのクロックドインバーターと 2 つのインバーターを有している。

【 0 2 8 6 】

ラッチ (A) (8 0 2) の一部 8 0 4 の上面図を図 1 7 に示す。8 3 1 a、8 3 1 b はそれぞれ、ラッチ (A) (8 0 2) の一部 8 0 4 が有するインバーターの 1 つを形成する TFT の活性層であり、8 3 6 は該インバータの 1 つを形成する TFT の共通のゲート電極である。また 8 3 2 a、8 3 2 b はそれぞれ、ラッ

チ (A) (802) の一部 804 が有するもう 1 つのインバーターを形成する T F T の活性層であり、837 a、837 b は活性層 832 a、832 b 上にそれぞれ設けられたゲート電極である。なおゲート電極 837 a、837 b は電氣的に接続されている。

【0287】

833 a、833 b はそれぞれ、ラッチ (A) (802) の一部 804 が有するクロックドインバーターの 1 つを形成する T F T の活性層である。活性層 833 a 上にはゲート電極 838 a、838 b が設けられており、ダブルゲート構造となっている。また活性層 833 b 上にはゲート電極 838 b、839 が設けられており、ダブルゲート構造となっている。

【0288】

834 a、834 b はそれぞれ、ラッチ (A) (802) の一部 804 が有するもう 1 つのクロックドインバーターを形成する T F T の活性層である。活性層 834 a 上にはゲート電極 839、840 が設けられており、ダブルゲート構造となっている。また活性層 834 b 上にはゲート電極 840、841 が設けられており、ダブルゲート構造となっている。

【0289】

(実施例 11)

本発明の E L ディスプレイにおいて、E L 素子が有する E L 層に用いられる材料は、有機 E L 材料に限定されず、無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

【0290】

または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本発明に適用することは可能である。

【0291】

また、本実施例の構成は、実施例 1 ～ 10 と組み合わせて実施することが可能である。

【0292】

(実施例 1 2)

本発明において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。低分子系有機物質は Alq_3 （トリス-8-キノリライト-アルミニウム）、TPD（トリフェニルアミン誘導体）等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、PPV（ポリフェニレンビニレン）、PVK（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【0 2 9 3】

ポリマー系（高分子系）有機物質は、スピンコーティング法（溶液塗布法ともいう）、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0 2 9 4】

また本発明のE Lディスプレイが有するE L素子において、そのE L素子が有するE L層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質の $Si_{1-x}C_x$ 等の非晶質半導体で構成しても良い。

【0 2 9 5】

非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、E L素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0 2 9 6】

また有機E L層にドーパント（不純物）を添加し、有機E L層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0 2 9 7】

なお本実施例は、実施例 1 ～ 1 1 と組み合わせて実施することが可能である。

【0 2 9 8】

(実施例 1 3)

本実施例では、本発明のE Lディスプレイの駆動方法を用いた場合、どの様な

電圧電流特性を有する領域で E L 駆動用 T F T を駆動させるのが好ましいか、図 1 8 ~ 2 0 を用いて説明する。

【 0 2 9 9 】

E L 素子は、印加される電圧が少しでも変化すると、それに対して E L 素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、E L 素子を流れる電流の大きさが変化しても、E L 素子に印加される電圧値はあまり変化しない。そして、E L 素子の輝度は、E L 素子に流れる電流にほぼ正比例して大きくなる。よって、E L 素子に印加される電圧の大きさ（電圧値）を制御することにより E L 素子の輝度を制御するよりも、E L 素子を流れる電流の大きさ（電流量）を制御することにより E L 素子の輝度を制御する方が、T F T の特性に左右されずらく、E L 素子の輝度の制御が容易である。

【 0 3 0 0 】

図 1 8 を参照する。図 1 8 (A) は、図 3 に示した本発明の E L ディスプレイの画素において、E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の構成部分のみを図示したものである。

【 0 3 0 1 】

図 1 8 (B) には、図 1 8 (A) で示した E L 駆動用 T F T 1 0 8 および E L 素子 1 1 0 の電圧電流特性を示す。なお図 1 8 で示す E L 駆動用 T F T 1 0 8 の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_{DS} に対する、E L 駆動用 T F T 1 0 8 のドレイン領域に流れる電流の大きさを示しており、図 1 8 には E L 駆動用 T F T 1 0 8 のソース領域とゲート電極の間の電圧である V_{GS} の値の異なる複数のグラフを示している。

【 0 3 0 2 】

図 1 8 (A) に示したように、E L 素子 1 1 0 の画素電極と対向電極 1 1 1 の間にかかる電圧を V_{EL} 、電源供給線に接続される端子 3 6 0 1 と E L 素子 1 1 0 の対向電極 1 1 1 の間にかかる電圧を V_T とする。なお V_T は電源供給線の電位によってその値が固定される。また E L 駆動用 T F T 1 0 8 のソース領域・ドレイン領域間の電圧を V_{DS} 、E L 駆動用 T F T 1 0 8 のゲート電極に接続される配線 3 6 0 2 とソース領域との間の電圧、つまり E L 駆動用 T F T 1 0 8 のゲート電

極とソース領域の間の電圧を V_{GS} とする。

【0303】

EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも良い

【0304】

また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子（EL駆動用TFT108とEL素子110）を流れる電流量は同じである。従って、図18（A）に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点（動作点）において駆動する。図18（B）において、 V_{EL} は、対向電極111の電位と動作点での電位との間の電圧になる。 V_{DS} は、EL駆動用TFT108の端子3601での電位と動作点での電位との間の電圧になる。つまり、 V_T は、 V_{EL} と V_{DS} の和に等しい。

【0305】

ここで、 V_{GS} を変化させた場合について考える。図18（B）から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流量が大きくなる。なお、 V_{TH} はEL駆動用TFT108のしきい値電圧である。よって図18（B）から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流量も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流量に比例して高くなる。

【0306】

$|V_{GS}|$ が大きくなることによってEL素子110を流れる電流量が大きくなると、電流量に応じて V_{EL} の値も大きくなる。そして V_T の大きさは電源供給線の電位によって定まっているので、 V_{EL} が大きくなると、その分 V_{DS} が小さくなる。

【0307】

また図18（B）に示したように、EL駆動用TFTの電圧電流特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である

領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0308】

飽和領域においては以下の式1が成り立つ。なお I_{DS} はEL駆動用TFT108のチャネル形成領域を流れる電流量である。また $\beta = \mu C_0 W / L$ であり、 μ はEL駆動用TFT108の移動度、 C_0 は単位面積あたりのゲート容量、 W / L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0309】

【式1】

$$I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【0310】

また線形領域においては以下の式2が成り立つ。

【0311】

【式2】

$$I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【0312】

式1からわかるように、飽和領域において電流量は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流量が定まる。

【0313】

一方、式2からわかるように、線形領域は、 V_{DS} と V_{GS} とにより電流量が定まる。 $|V_{GS}|$ を大きくしていくと、EL駆動用TFT108は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていても、電流量は増加しにくくなってくる。 $|V_{GS}| = \infty$ になった時、電流量 $= I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 $V_{EL} = V_T$ の時に、EL素子110を流れる電流量である。

【0314】

このように $|V_{GS}|$ の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にしたりすることができる。

【 0 3 1 5 】

ところで、全ての E L 駆動用 T F T の特性は理想的には全て同じであることが望ましいが、実際には個々の E L 駆動用 T F T でしきい値 V_{TH} と移動度 μ とが異なっていることが多い。そして個々の E L 駆動用 T F T のしきい値 V_{TH} と移動度 μ とが互いに異なると、式 1 及び式 2 からわかるように、 V_{GS} の値が同じでも E L 駆動用 T F T 1 0 8 のチャネル形成領域を流れる電流量が異なってしまう。

【 0 3 1 6 】

図 1 9 にしきい値 V_{TH} と移動度 μ とがずれた E L 駆動用 T F T の電流電圧特性を示す。実線 3 7 0 1 が理想の電流電圧特性のグラフであり、3 7 0 2、3 7 0 3 がそれぞれしきい値 V_{TH} と移動度 μ とが理想とする値と異なってしまった場合の E L 駆動用 T F T の電流電圧特性である。電流電圧特性のグラフ 3 7 0 2、3 7 0 3 は飽和領域においては同じ電流量 ΔI_1 だけ、理想の特性を有する電流電圧特性のグラフ 3 7 0 1 からずれていて、電流電圧特性のグラフ 3 7 0 2 の動作点 3 7 0 5 は飽和領域にあり、電流電圧特性のグラフ 3 7 0 3 の動作点 3 7 0 6 は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ 3 7 0 1 の動作点 3 7 0 4 における電流量と、動作点 3 7 0 5 及び動作点 3 7 0 6 における電流量のずれをそれぞれ ΔI_2 、 ΔI_3 とすると、飽和領域における動作点 3 7 0 5 よりも線形領域における動作点 3 7 0 6 の方が小さい。

【 0 3 1 7 】

よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するように E L 駆動用 T F T と E L 素子を駆動させることで、E L 駆動用 T F T の特性のずれによる E L 素子の輝度むらを抑えた階調表示を行うことができる。

【 0 3 1 8 】

また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流量を制御することが可能な飽和領域に動作点が存在するように E L 駆動用 T F T と E L 素子を駆動させる方が好ましい。

【 0 3 1 9 】

以上の動作分析のまとめとして、E L 駆動用 T F T のゲート電圧 $|V_{GS}|$ に対

する電流量のグラフを図 2 0 に示す。 $|V_{GS}|$ を大きくしていき、E L 駆動用 T F T のしきい値電圧の絶対値 $|V_{TH}|$ よりも大きくなると、E L 駆動用 T F T が導通状態となり、電流が流れ始める。本明細書ではこの時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、 $|V_{GS}|$ が $|V_{GS} - V_{TH}| = |V_{DS}|$ を満たすような値（ここでは仮に A とする）となり、飽和領域 3 8 0 1 から線形領域 3 8 0 2 になる。さらに $|V_{GS}|$ を大きくしていくと、電流量が大きくなり、遂には、電流量が飽和してくる。その時 $|V_{GS}| = \infty$ となる。

【 0 3 2 0 】

図 2 0 から分かる通り、 $|V_{GS}| \leq |V_{TH}|$ の領域では、電流がほとんど流れない。 $|V_{TH}| \leq |V_{GS}| \leq A$ の領域は飽和領域であり、 $|V_{GS}|$ によって電流量が変化する。そして、 $A \leq |V_{GS}|$ の領域は線形領域であり、E L 素子に流れる電流量は $|V_{GS}|$ 及び $|V_{DS}|$ によって電流量が変化する。

【 0 3 2 1 】

本発明のデジタル駆動では、 $|V_{GS}| \leq |V_{TH}|$ の領域及び $A \leq |V_{GS}|$ の線形領域を用いることが好ましい。

【 0 3 2 2 】

なお本実施例は、実施例 1 ～ 1 2 と組み合わせて実施することが可能である。

【 0 3 2 3 】

(実施例 1 4)

本発明を実施して形成された E L ディスプレイは、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器（電気光学装置）の表示部に用いることができる。例えば、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上（典型的には 4 0 インチ以上）のディスプレイの表示部として本発明の E L ディスプレイを用いるとよい。

【 0 3 2 4 】

なお、E L ディスプレイには、パソコン用ディスプレイ、T V 放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。また、その他にも様々な電子機器の表示部として本発明の E L ディスプレイ

を用いることができる。

【 0 3 2 5 】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図 2 1、図 2 2 に示す。

【 0 3 2 6 】

図 2 1（A）はディスプレイであり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3 等を含む。本発明の EL ディスプレイは表示部 2 0 0 3 に用いることができる。EL ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【 0 3 2 7 】

図 2 1（B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明の EL ディスプレイは表示部 2 1 0 2 に用いることができる。

【 0 3 2 8 】

図 2 1（C）は頭部取り付け型の電気光学装置の一部（右片側）であり、本体 2 2 0 1、信号ケーブル 2 2 0 2、頭部固定バンド 2 2 0 3、スクリーン部 2 2 0 4、光学系 2 2 0 5、表示部 2 2 0 6 等を含む。本発明の EL ディスプレイは表示部 2 2 0 6 に用いることができる。

【 0 3 2 9 】

図 2 1（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2 3 0 1、記録媒体（DVD 等） 2 3 0 2、操作スイッチ 2 3 0 3、表示部（a） 2 3 0 4、表示部（b） 2 3 0 5 等を含む。表示部（a） 2 3 0

4 は主として画像情報を表示し、表示部 (b) 2 3 0 5 は主として文字情報を表示するが、本発明の E L ディスプレイはこれら表示部 (a)、(b) 2 3 0 4、2 3 0 5 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 3 3 0 】

図 2 1 (E) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 2 4 0 1、表示部 2 4 0 2、アーム部 2 4 0 3 を含む。本発明の E L ディスプレイは表示部 2 4 0 2 に用いることができる。

【 0 3 3 1 】

図 2 1 (F) はパーソナルコンピュータであり、本体 2 5 0 1、筐体 2 5 0 2、表示部 2 5 0 3、キーボード 2 5 0 4 等を含む。本発明の E L ディスプレイは表示部 2 5 0 3 に用いることができる。

【 0 3 3 2 】

なお、将来的に E L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【 0 3 3 3 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E L 材料の応答速度は非常に高いため、E L ディスプレイは動画表示に好ましい。

【 0 3 3 4 】

また、E L ディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に E L ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 3 3 5 】

ここで図 2 2 (A) は携帯電話であり、本体 2 6 0 1、音声出力部 2 6 0 2、

音声入力部 2 6 0 3、表示部 2 6 0 4、操作スイッチ 2 6 0 5、アンテナ 2 6 0 6 を含む。本発明の E L ディスプレイは表示部 2 6 0 4 に用いることができる。なお、表示部 2 6 0 4 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【 0 3 3 6 】

また、図 2 2 (B) は音響再生装置、具体的にはカーオーディオであり、本体 2 7 0 1、表示部 2 7 0 2、操作スイッチ 2 7 0 3、2 7 0 4 を含む。本発明の E L ディスプレイは表示部 2 7 0 2 に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部 2 7 0 2 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【 0 3 3 7 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例は、実施例 1 ～ 1 3 と組み合わせて実施することが可能である。

【 0 3 3 8 】

【発明の効果】

本発明は上記構成によって、T F T によって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力しても E L 素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【 0 3 3 9 】

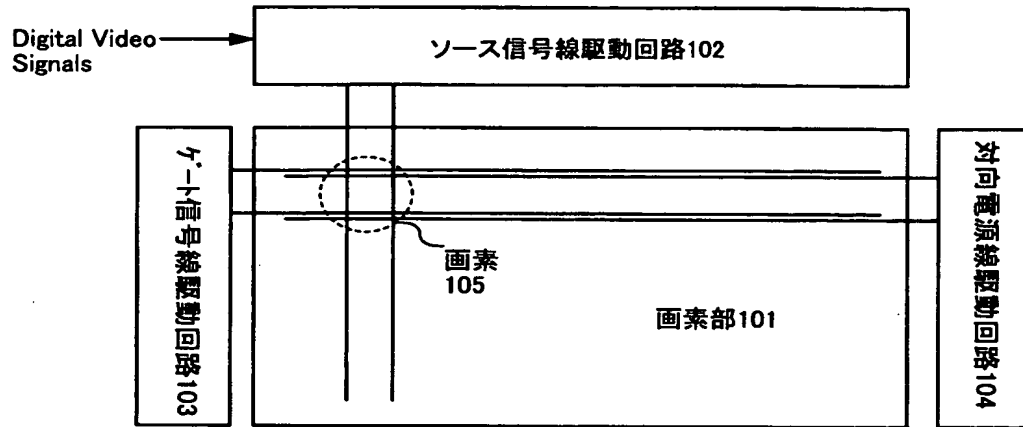
また、本発明では、表示を行わない非表示期間を設けることができる。従来のアナログ駆動の場合、E L ディスプレイに全白の画像を表示させると、常に E L 素子が発光することになり、E L 層の劣化を早める原因となってしまう。本発明は非表示期間を設けることができるので、E L 層の劣化をある程度抑えることができる。

【図面の簡単な説明】

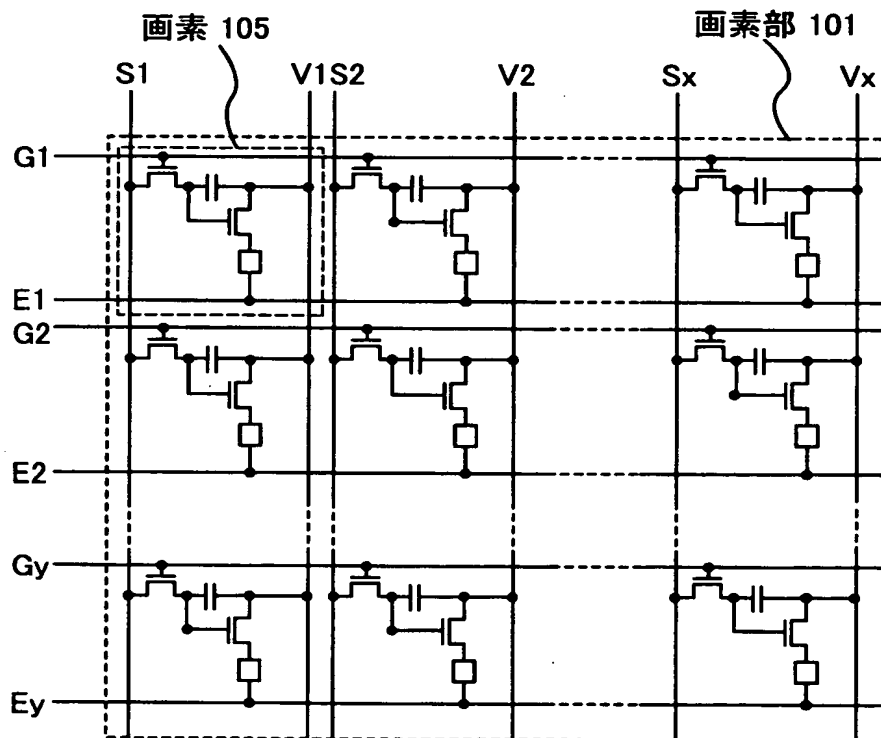
- 【図 1】 本発明の E L ディスプレイの回路構成を示すブロック図。
- 【図 2】 本発明の E L ディスプレイの画素部の回路図。
- 【図 3】 本発明の E L ディスプレイの画素の回路図。
- 【図 4】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 5】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 6】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 7】 本発明の E L ディスプレイの駆動方法を示す図。
- 【図 8】 本発明の E L ディスプレイの画素上面図。
- 【図 9】 本発明の E L ディスプレイの駆動回路の構成を示すブロック図。
- 【図 1 0】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 1】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 2】 本発明の E L ディスプレイの作製行程を示す図。
- 【図 1 3】 本発明の E L ディスプレイの断面詳細図。
- 【図 1 4】 本発明の E L ディスプレイの上面図及び断面図。
- 【図 1 5】 本発明の E L ディスプレイの画素回路図。
- 【図 1 6】 本発明の E L ディスプレイのソース信号線駆動回路の回路図。
- 【図 1 7】 本発明の E L ディスプレイのソース信号線駆動回路のラッチ上面図。
- 【図 1 8】 E L 素子と E L 駆動用 T F T の接続の構成を示す図と、E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。
- 【図 1 9】 E L 素子と E L 駆動用 T F T の電圧電流特性を示す図。
- 【図 2 0】 E L 駆動用 T F T のゲート電圧とドレイン電流の関係を示す図。
- 【図 2 1】 本発明の E L ディスプレイの上面図。
- 【図 2 2】 本発明の E L ディスプレイの回路構成を示すブロック図。
- 【図 2 3】 従来の E L ディスプレイの画素部の回路図。
- 【図 2 4】 従来の E L ディスプレイの駆動方法を示すタイミングチャート。
- 【図 2 5】 T F T の $I_{DS} - V_{GS}$ 特性を示す図。

【書類名】 図面

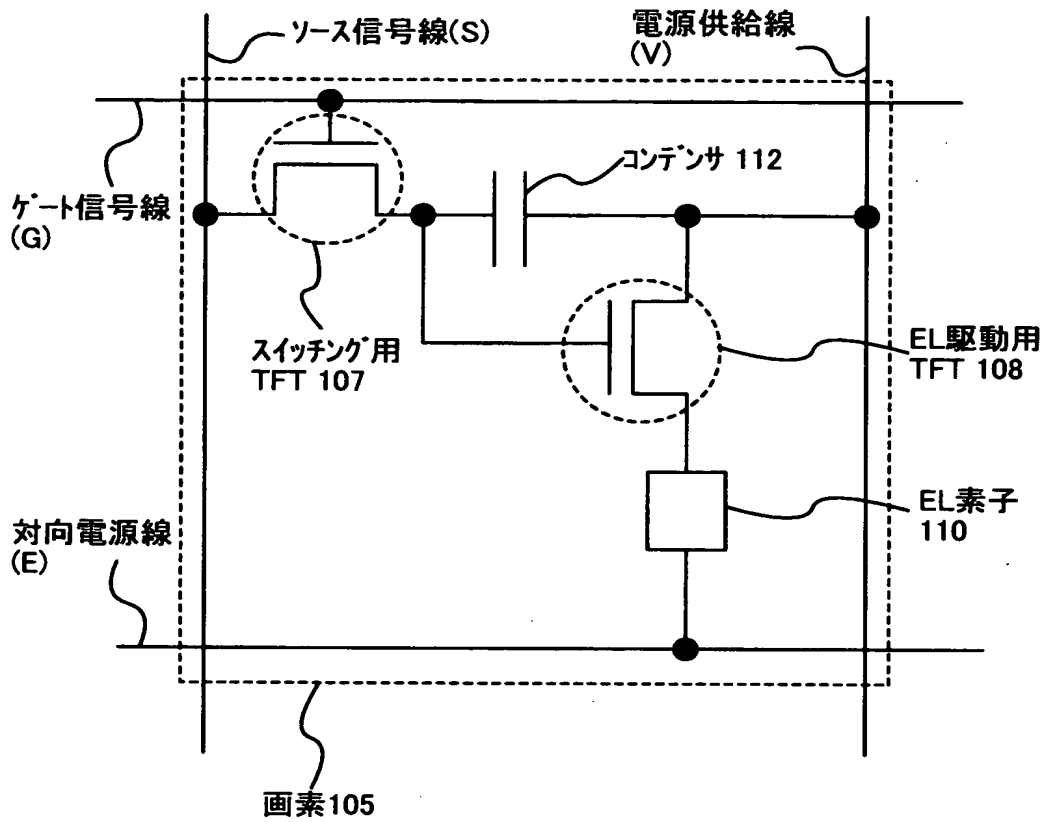
【図 1】



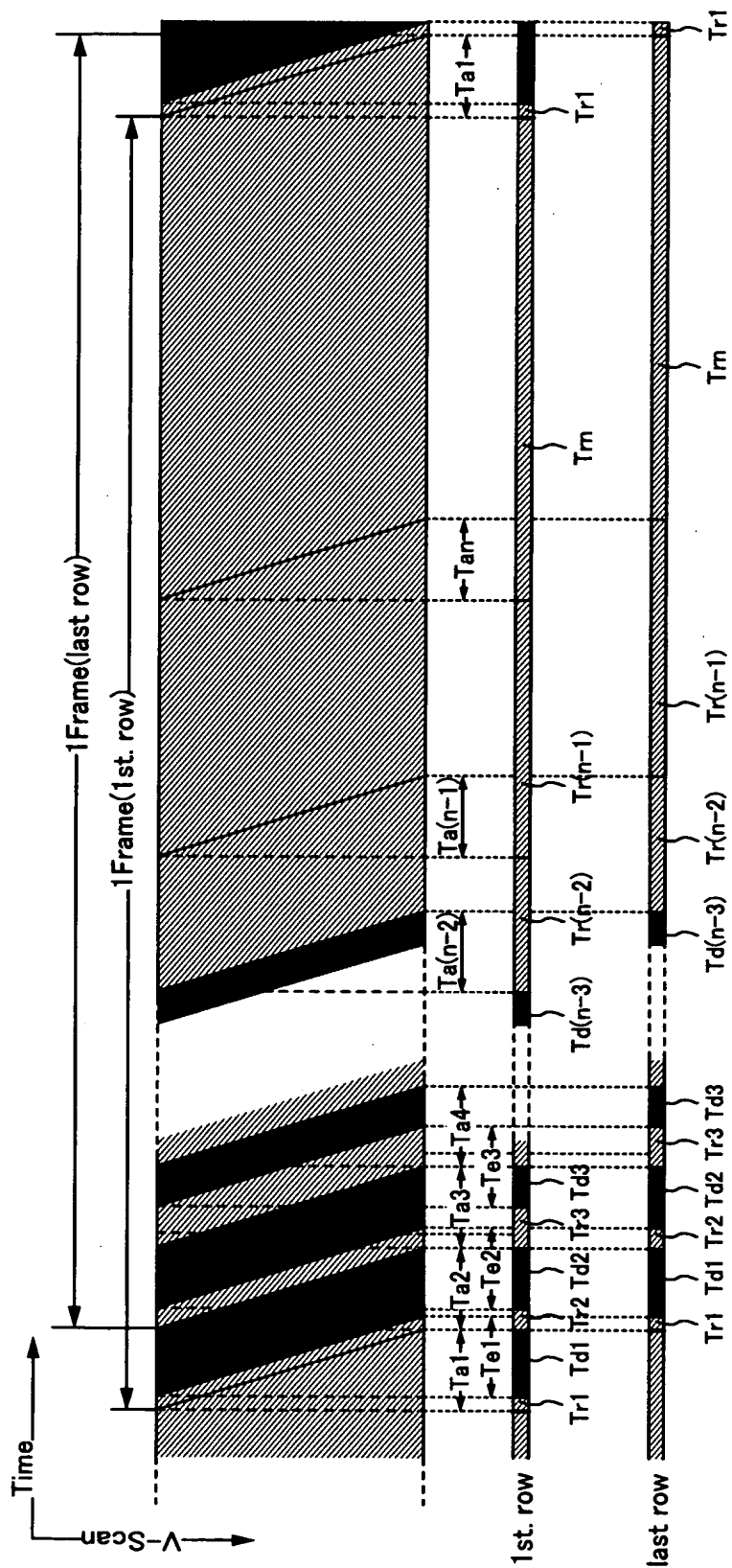
【図 2】



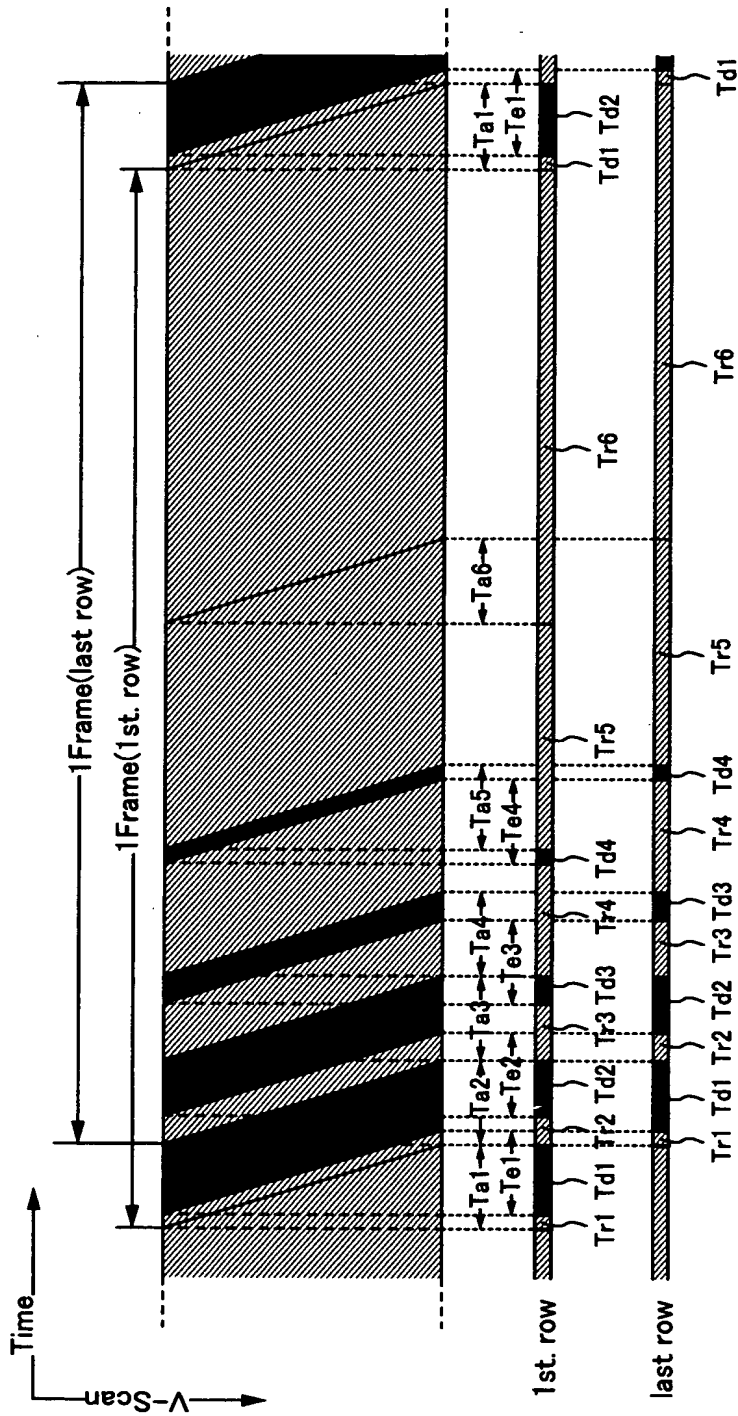
【図 3】



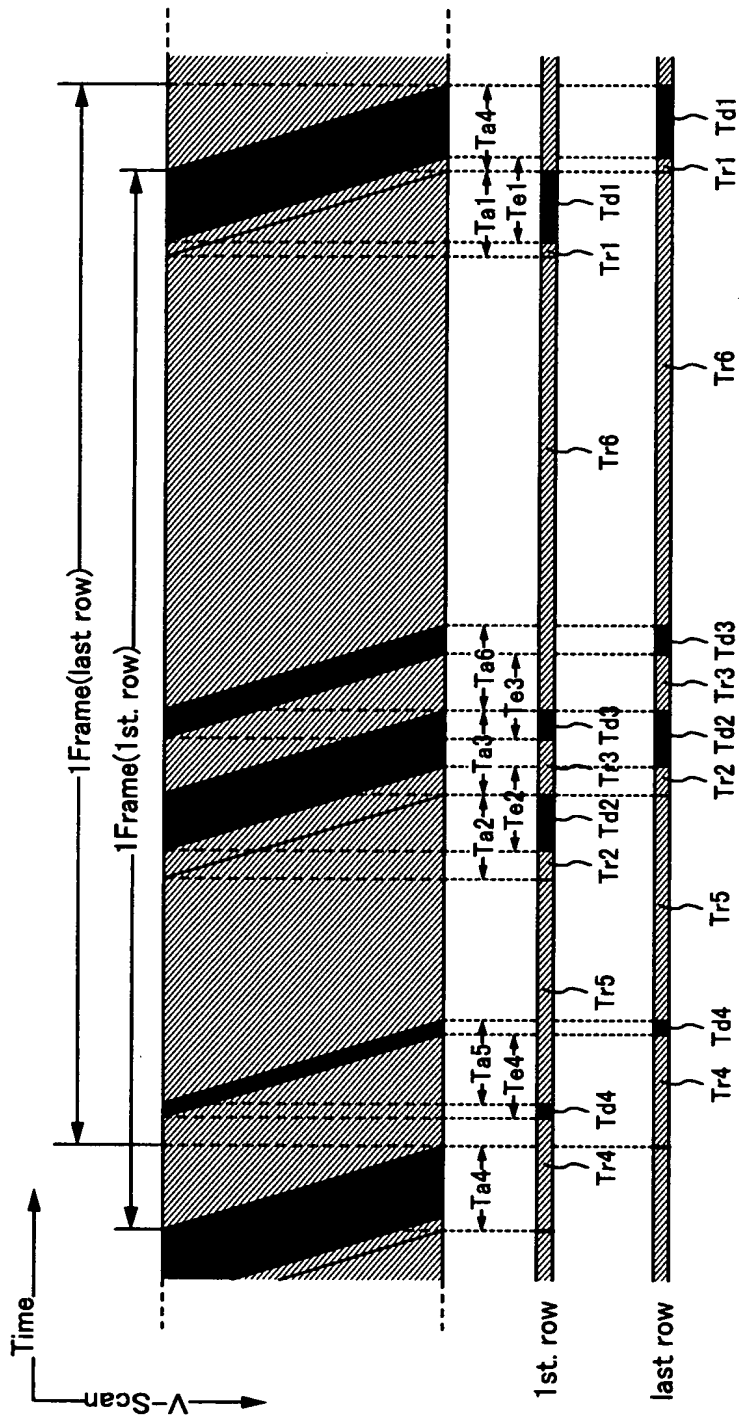
【図 4】



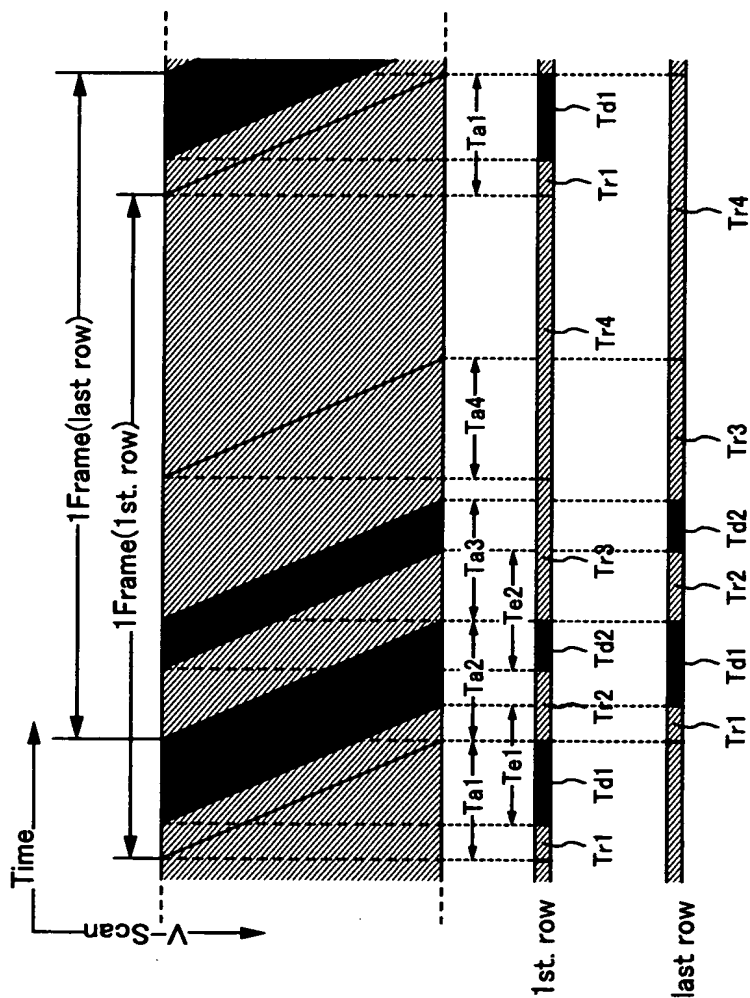
【図 5】



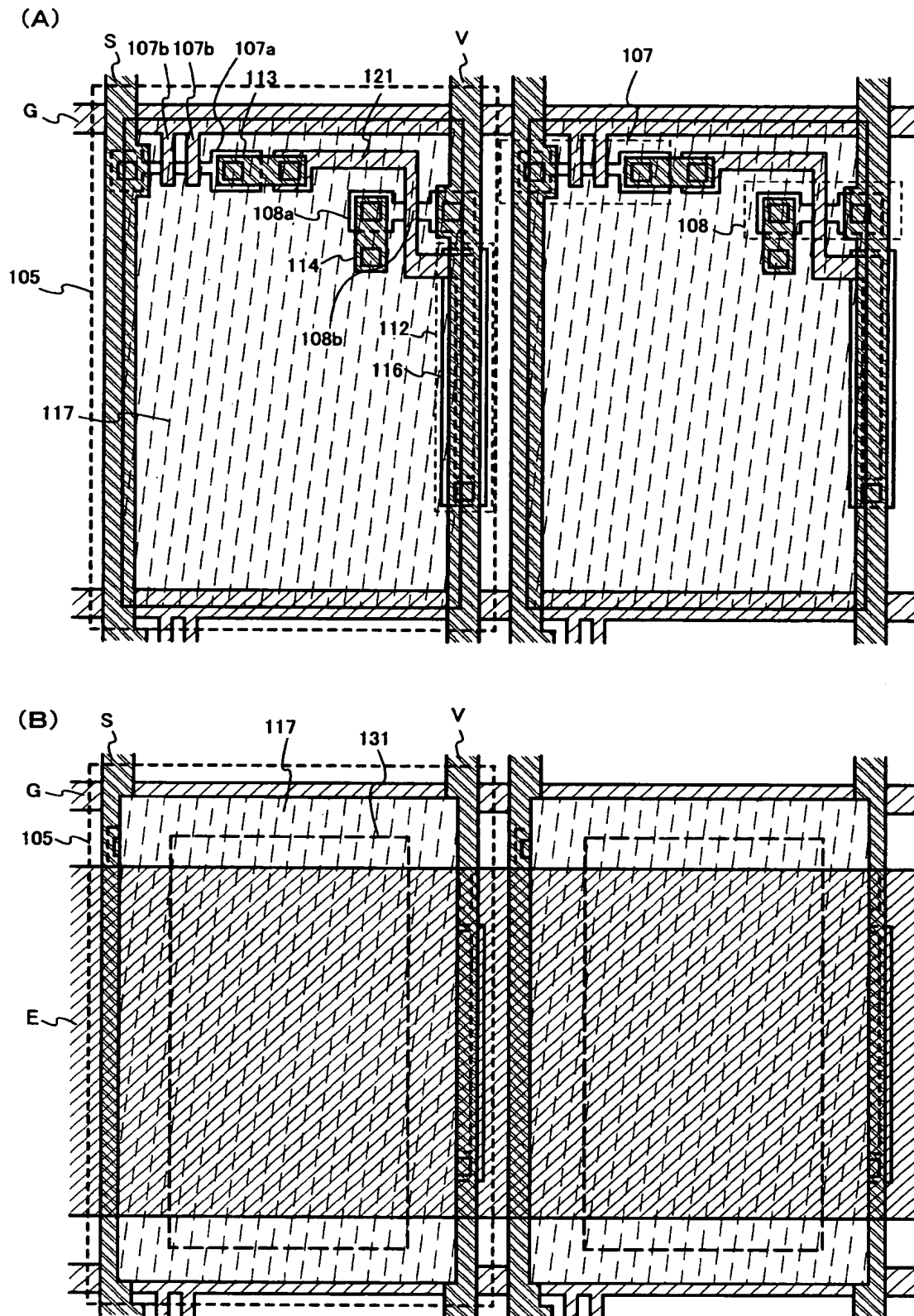
【図 6】



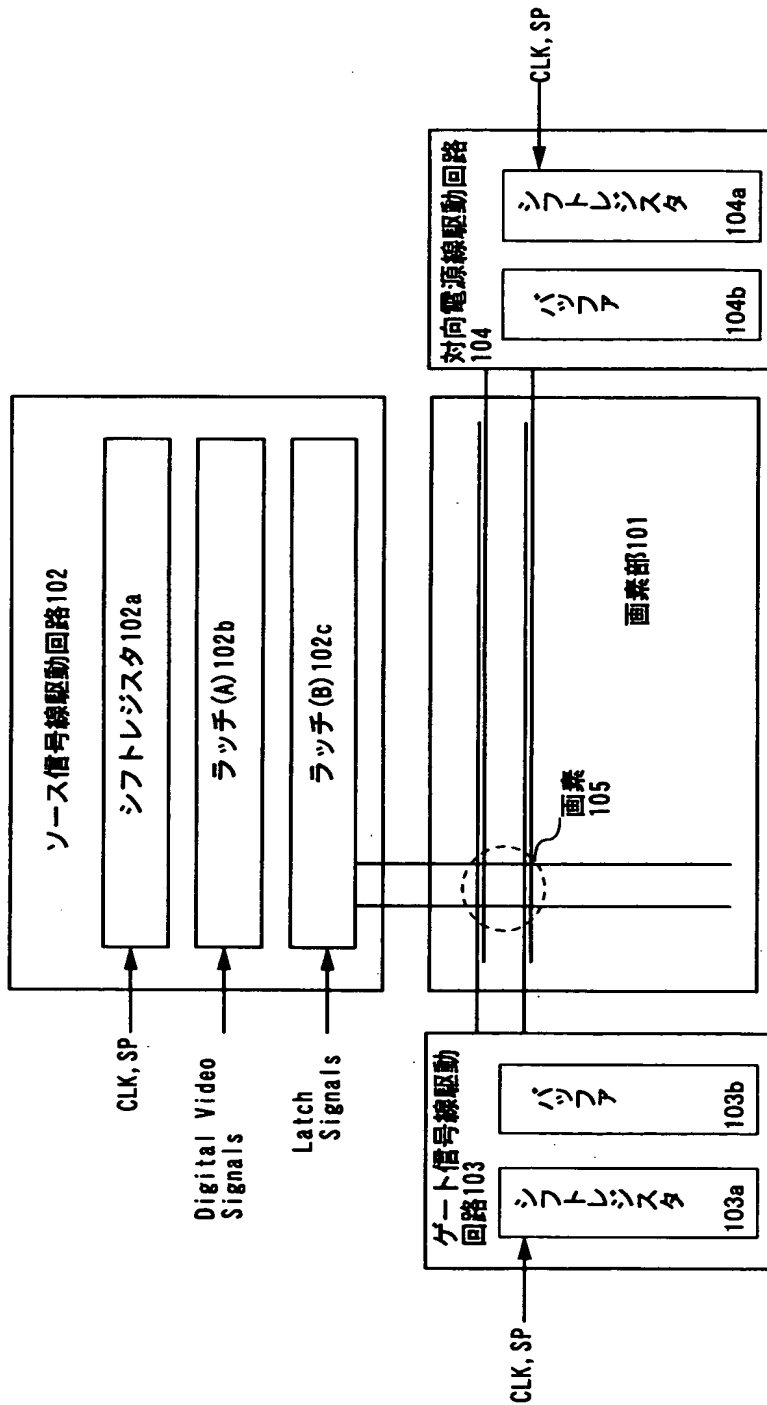
【図 7】



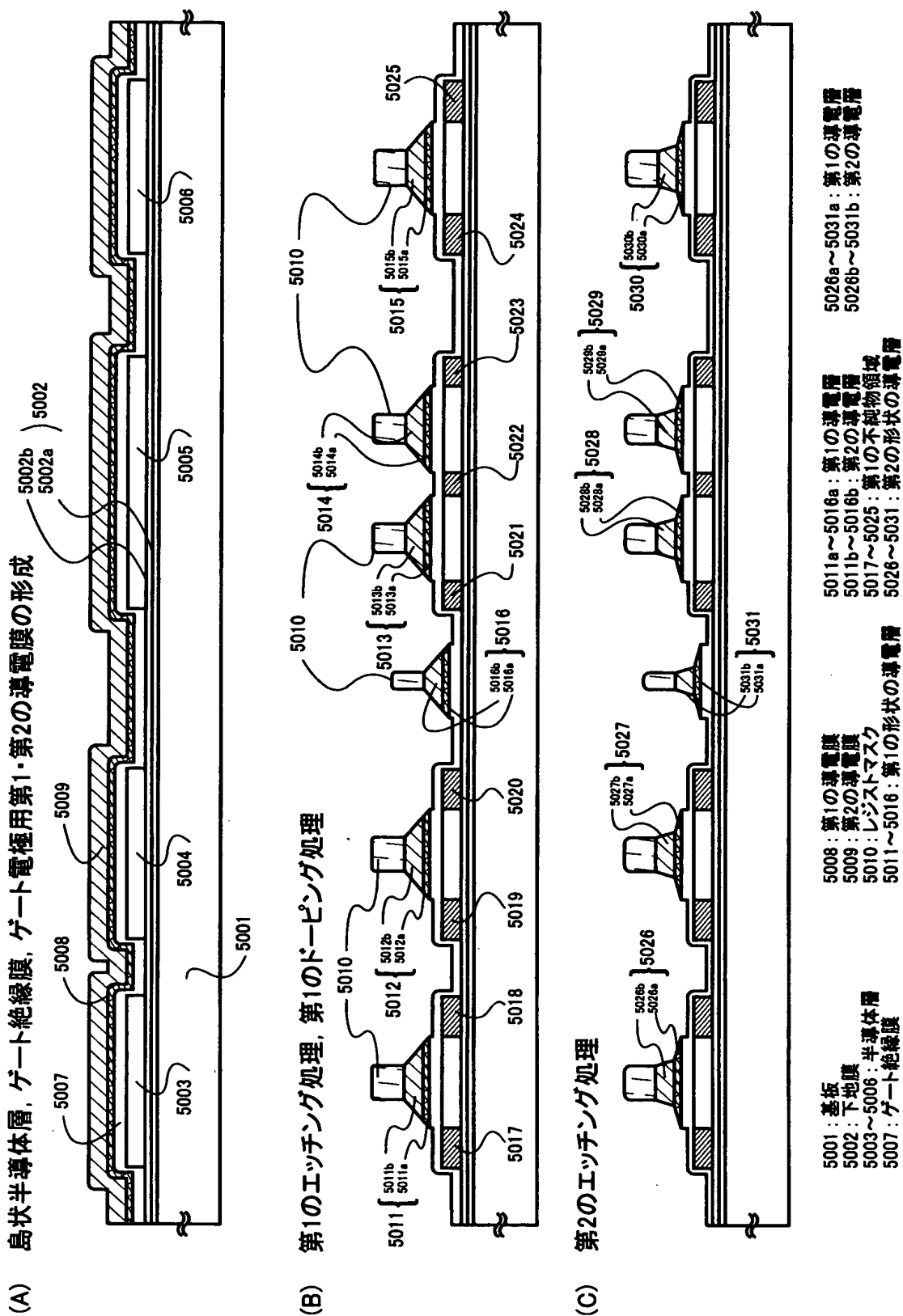
【図 8】



【図 9】

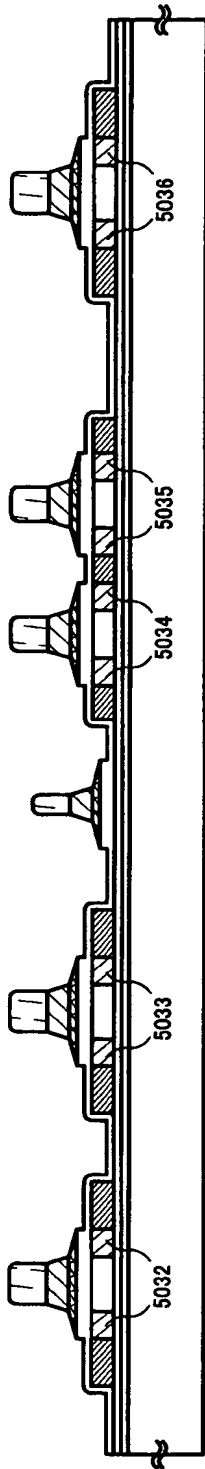


【图 10】

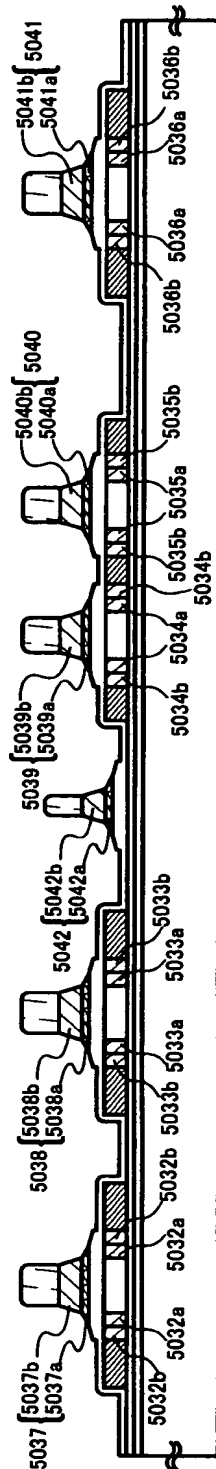


【図 1 1】

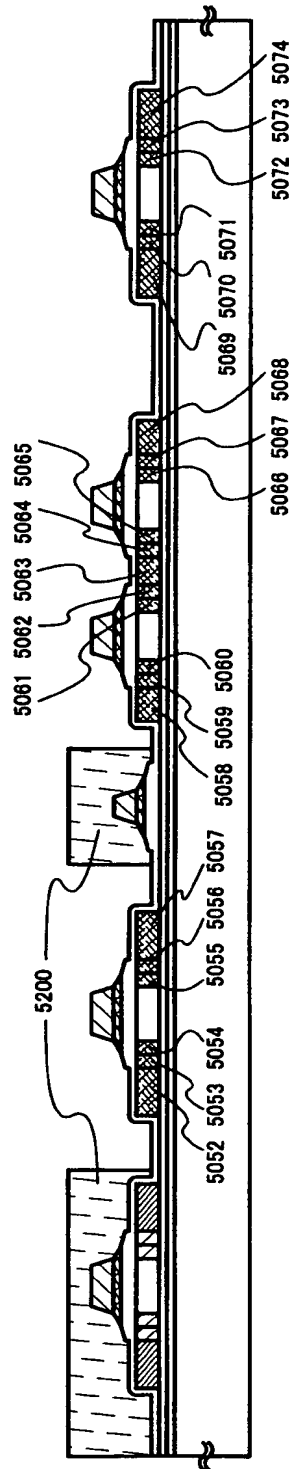
(A) 第2のドーピング処理



(B) 第3のエッチング処理



(C) 第3のドーピング処理

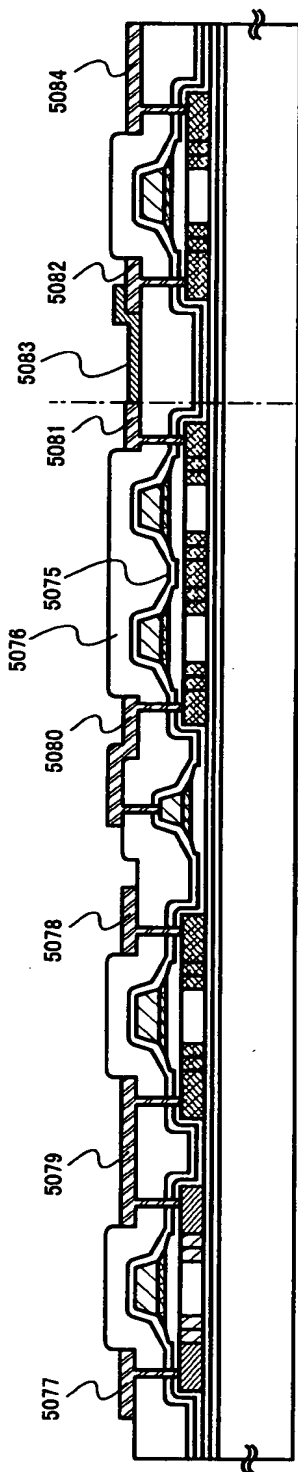


5032～5041：第3の不純物領域
5042～5051：第2の不純物領域
5052～5074：第4の不純物領域

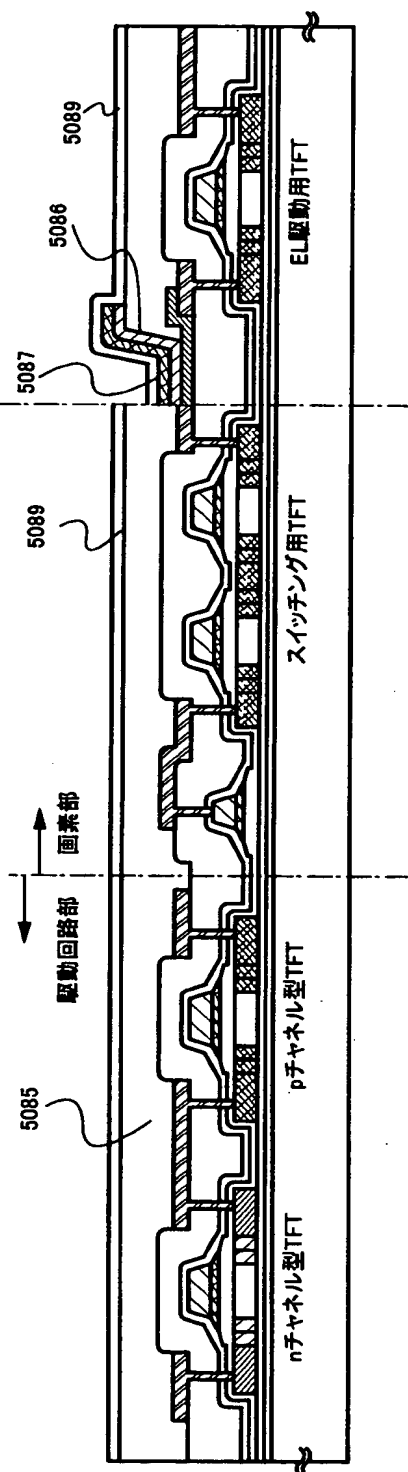
5200：レジストマスク

【図 1 2】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成

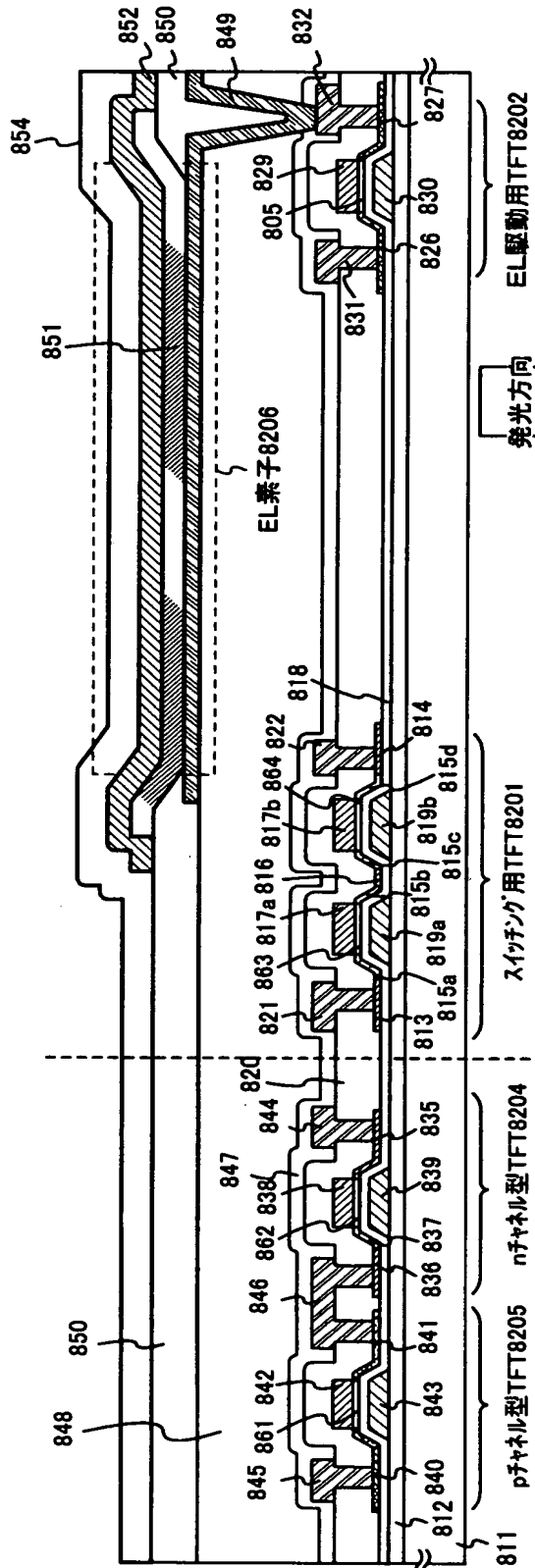


(B) 第3の層間絶縁膜, EL層, 陰極電極, 保護電極, パッシベーション膜形成



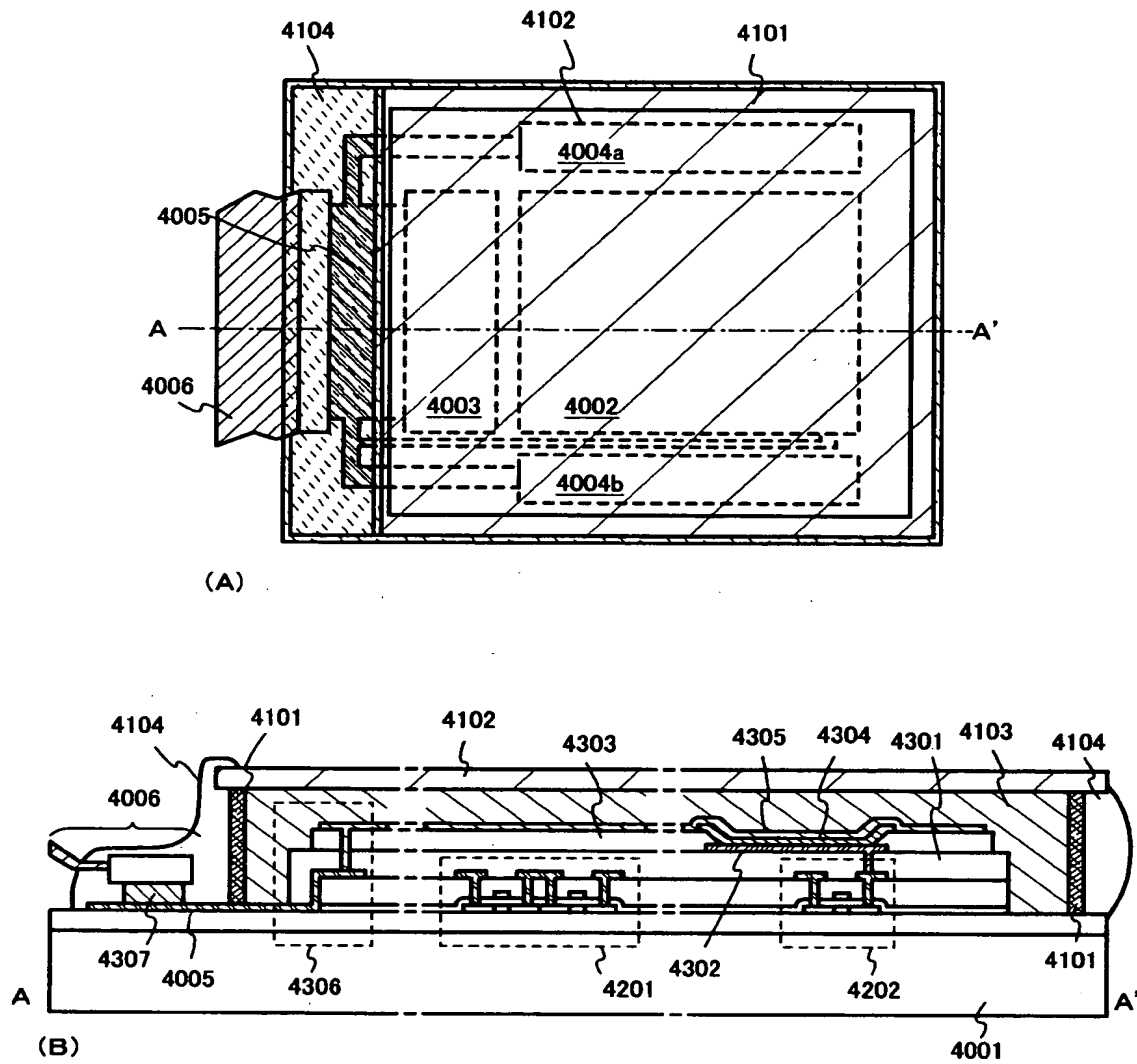
5075: 第1の層間絶縁膜
5076: 第2の層間絶縁膜
5077~5078: ソース配線
5079: ドレイン配線
5080~5082: 接続配線
5083: 画素電極
5084: 電源供給線
5085: 第3の層間絶縁膜
5086: EL層
5087: 陰極
5088: パッシベーション膜

【図 1 3】

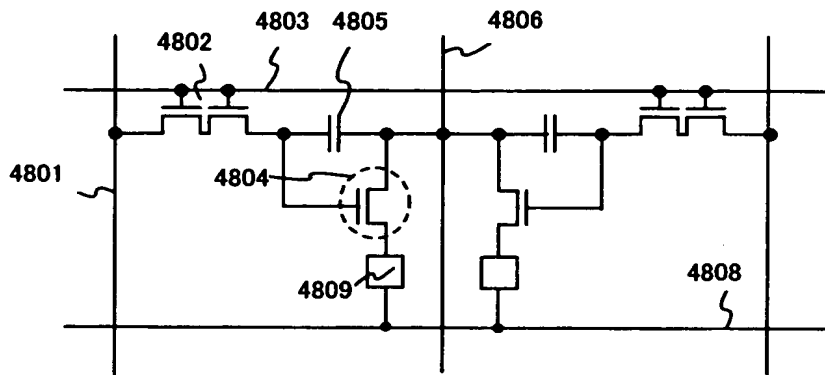


811:基板 812:下地膜 813:ソース領域 814:ドレイン領域 815a~815d:LDD領域 816:分離領域 817a,17b:チャネル形成領域
 818:ゲート絶縁膜 819a,819b:ゲート電極 820:第1層間絶縁膜 821:ソース配線 822:ドレイン配線 826:ソース領域 827:ドレイン領域
 828:LDD領域 829:チャネル形成領域 830:ゲート電極 831:ソース配線 832:ドレイン配線 835:ソース領域
 836:ドレイン領域 837:LDD領域 838:チャネル形成領域 839:ゲート電極 840:ソース領域 841:ドレイン領域 842:チャネル形成領域
 843:ゲート電極 844,845:ソース配線 846:ドレイン配線 847:第1ハッチバック層 848:第2層間絶縁膜 849:画素電極(陽極)
 850:第3層間絶縁膜 851:EL層 852:対向電極(陰極) 854:第2ハッチバック層

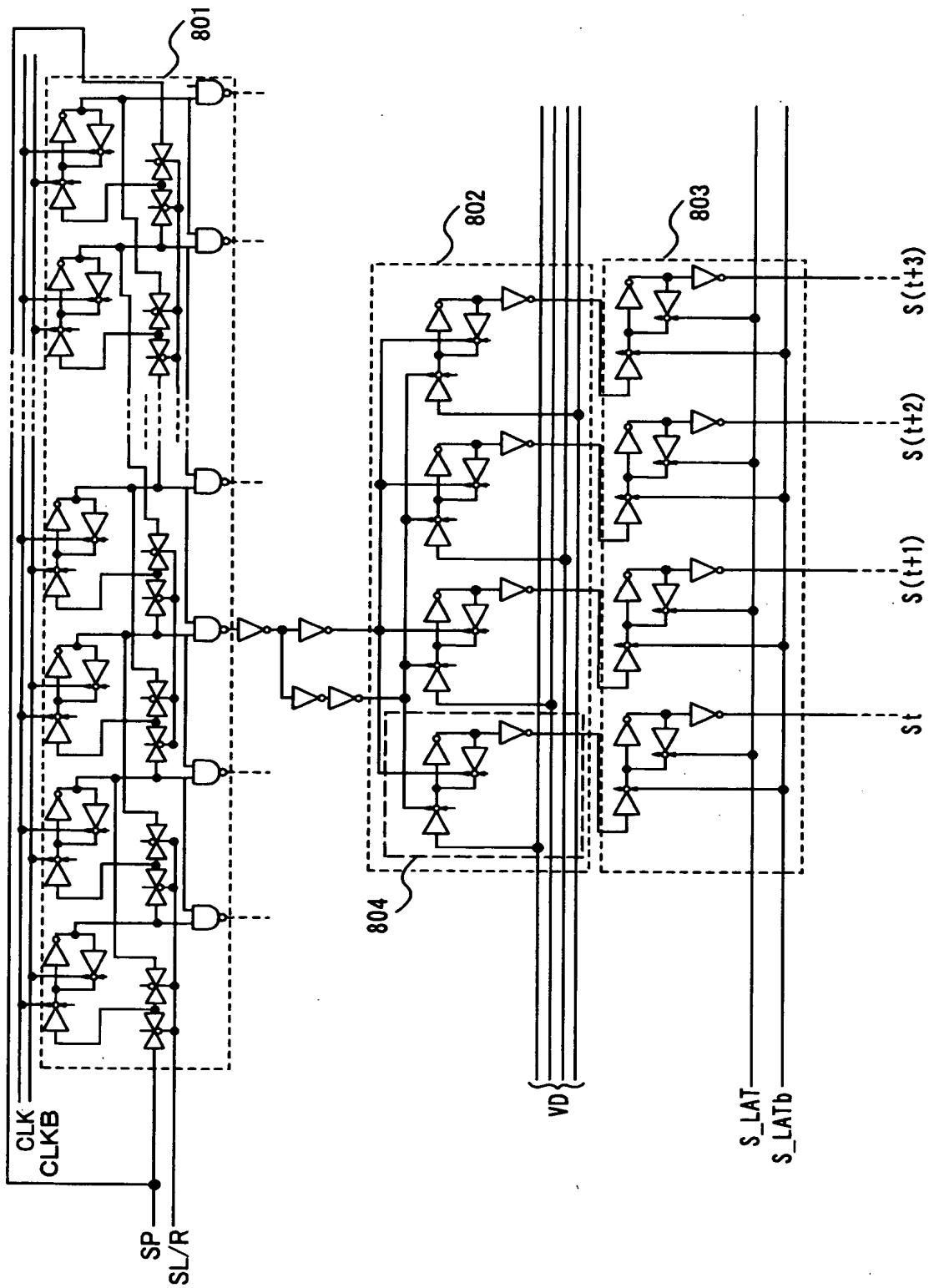
【図 1 4】



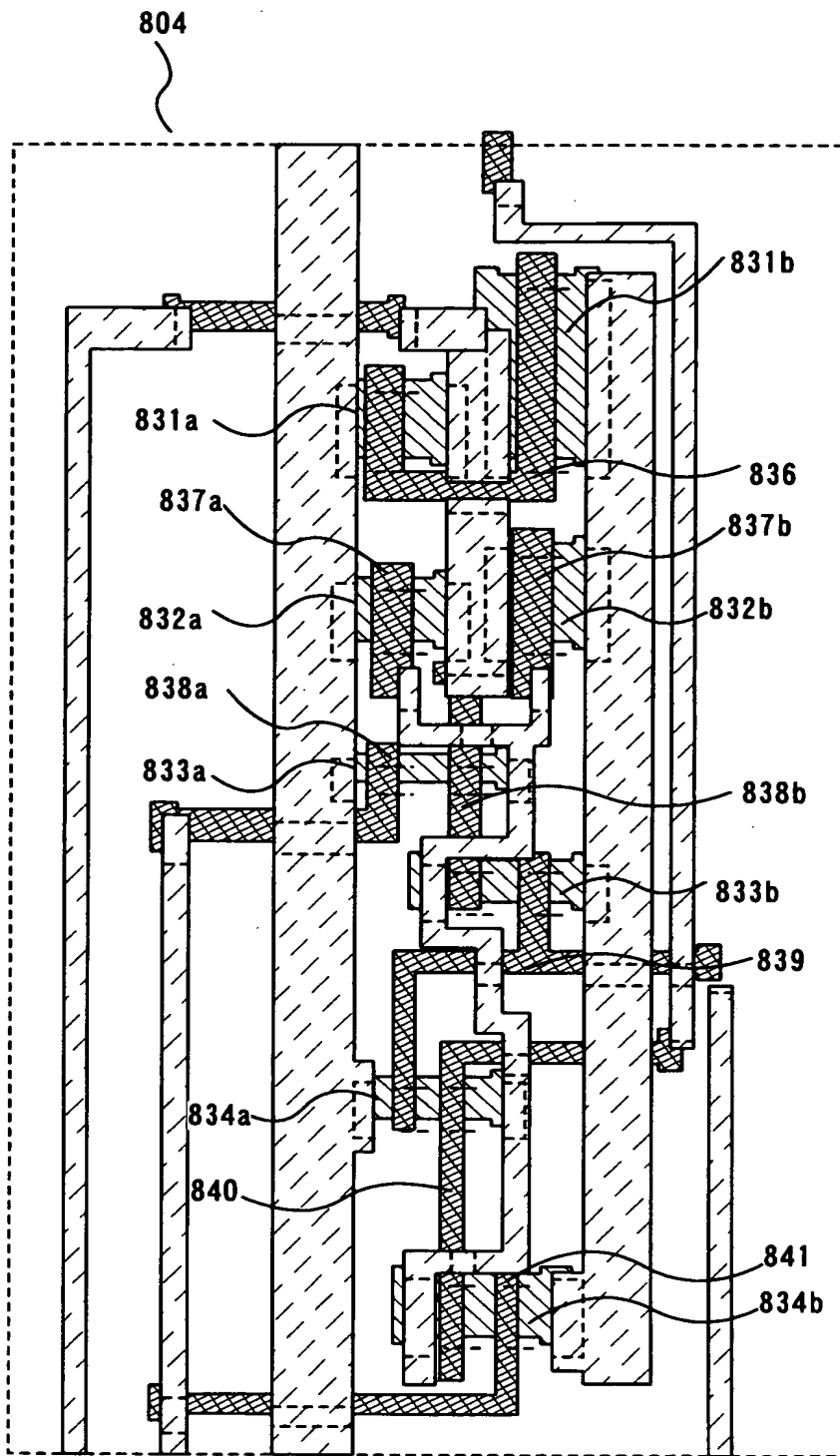
【図 1 5】



【図16】

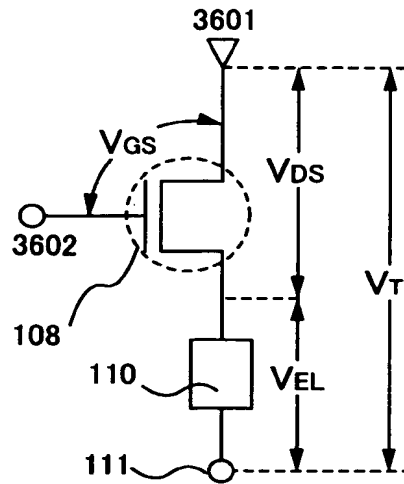


【図 17】

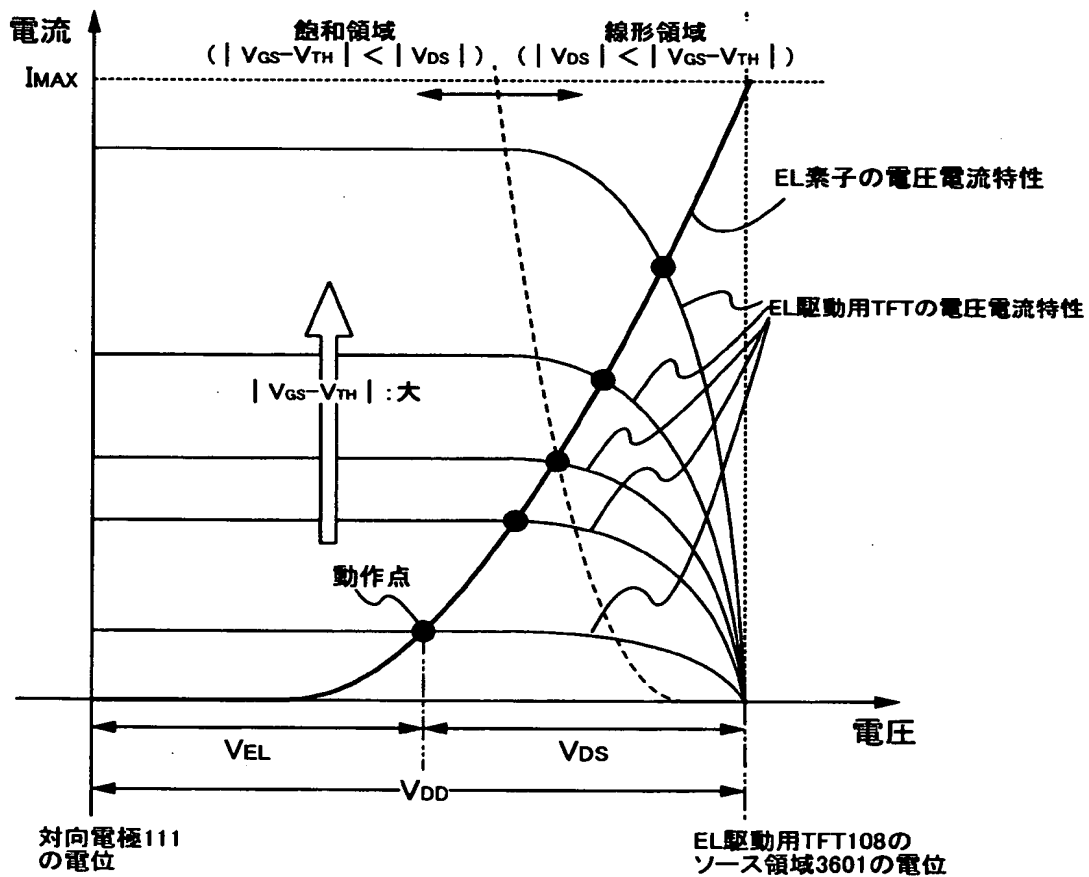


【図 18】

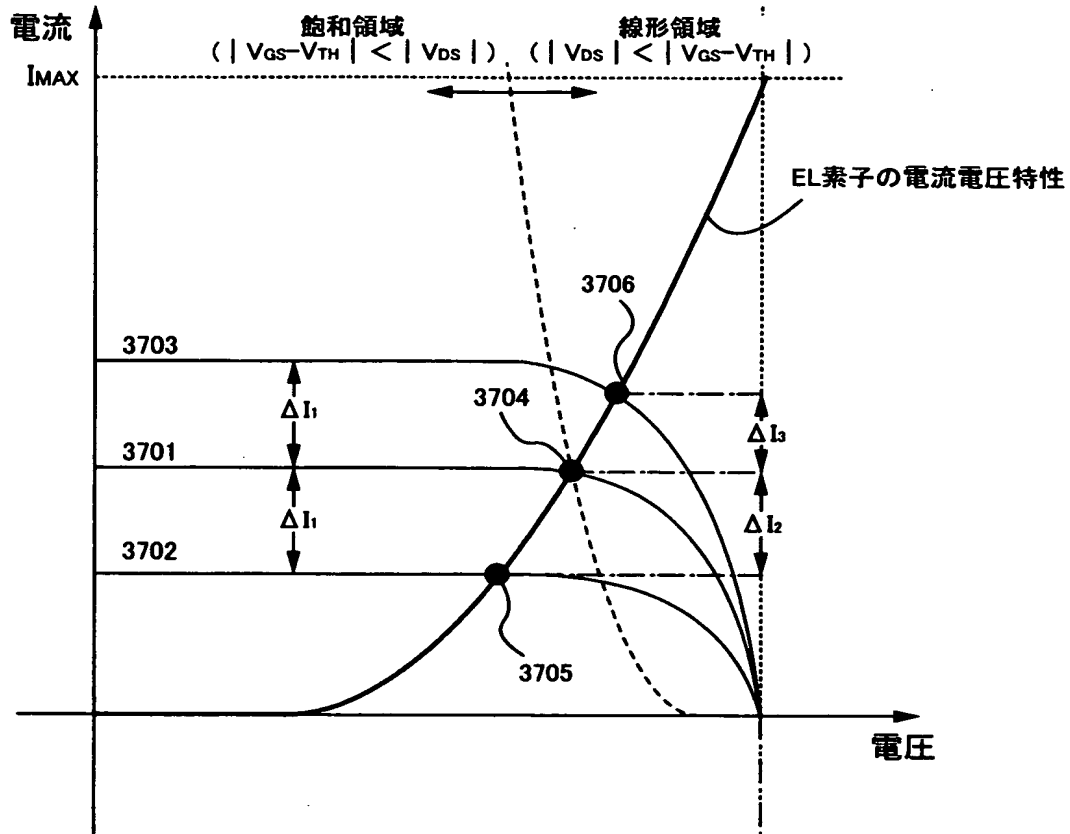
(A)



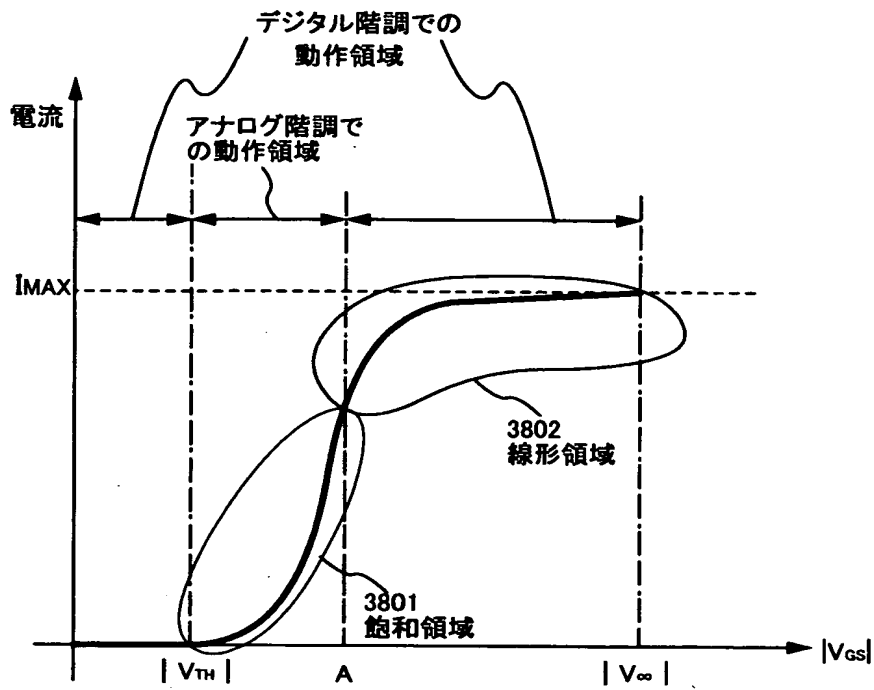
(B)



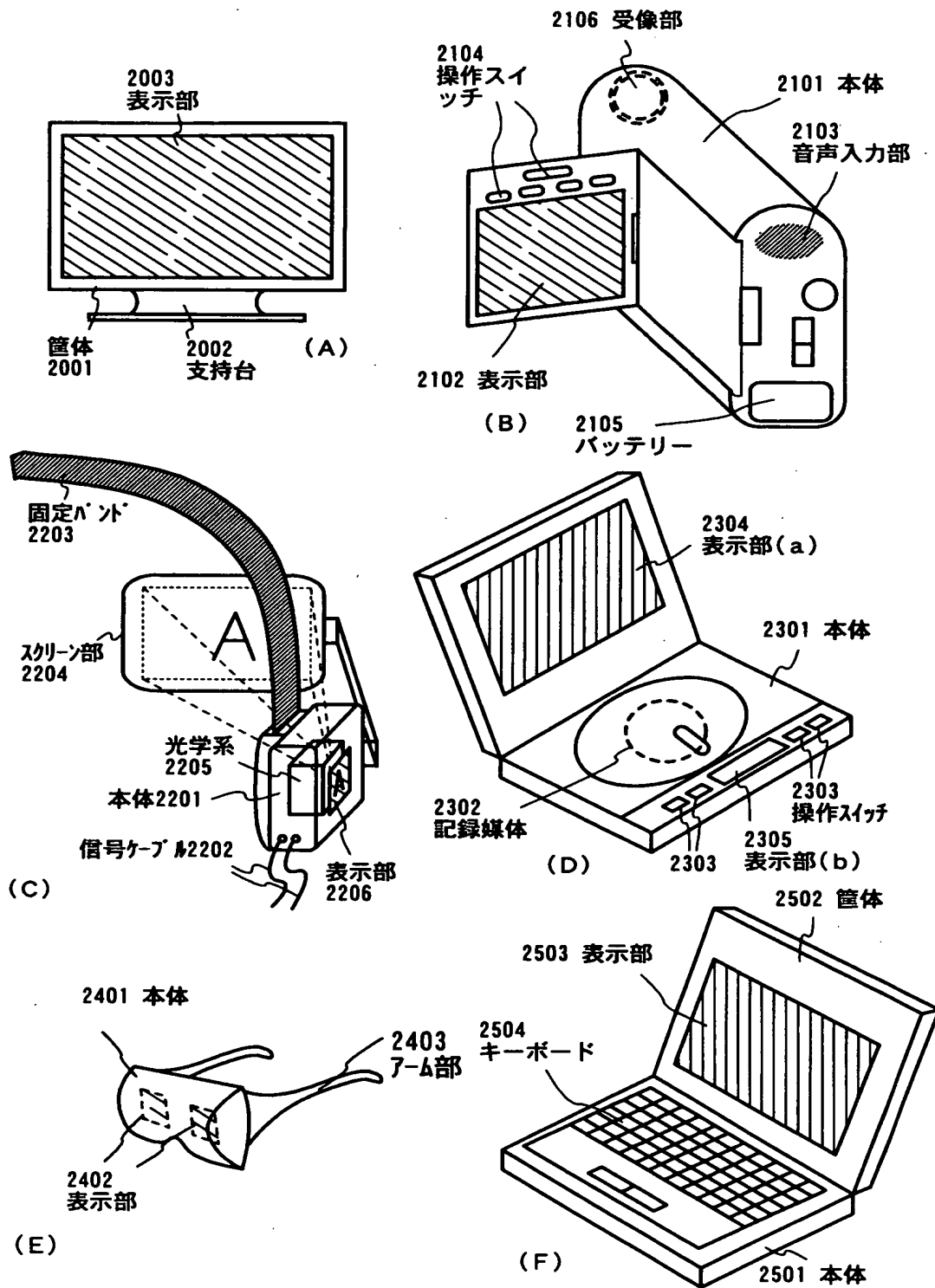
【図 1 9】



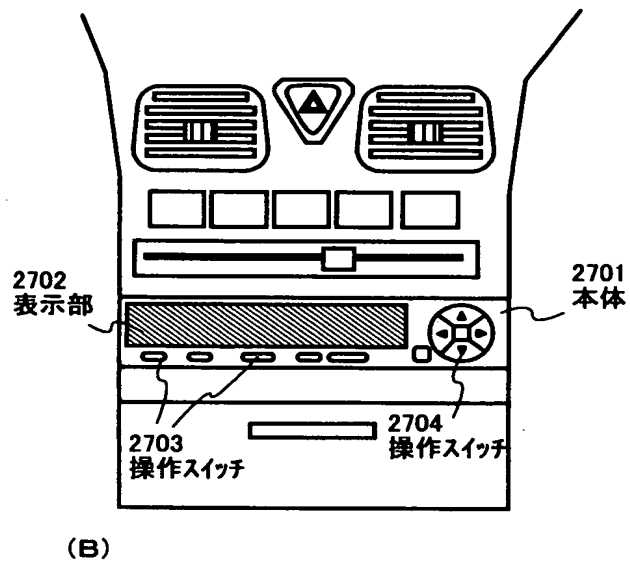
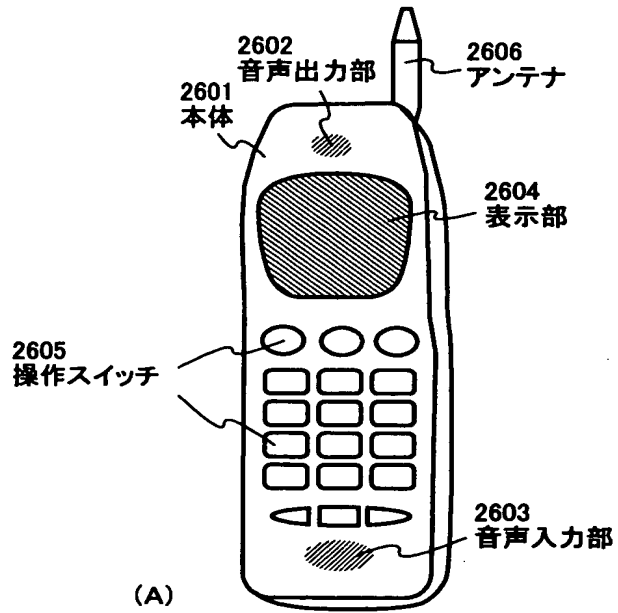
【図 2 0】



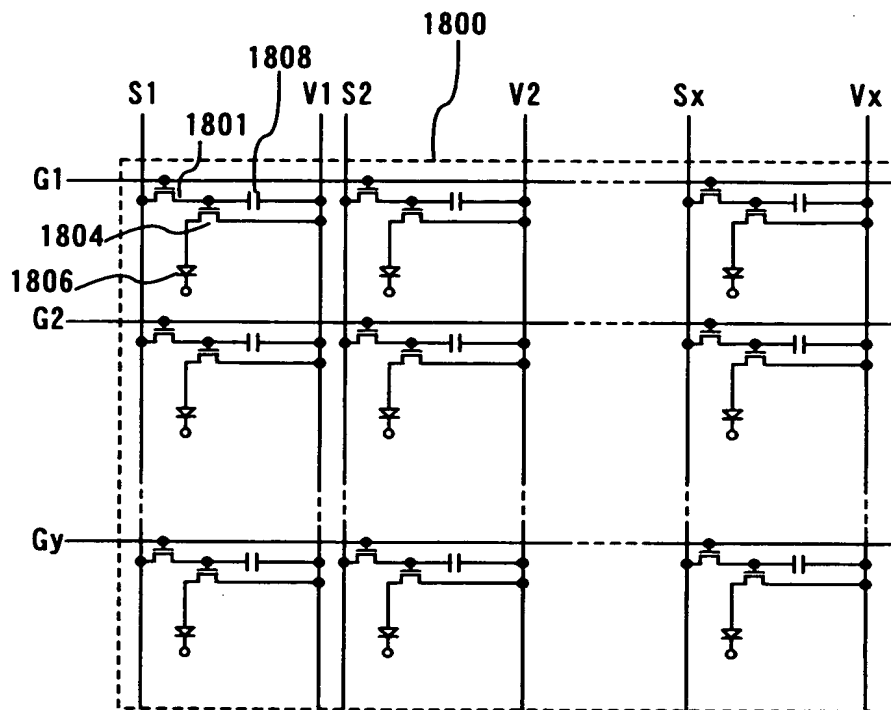
【図 21】



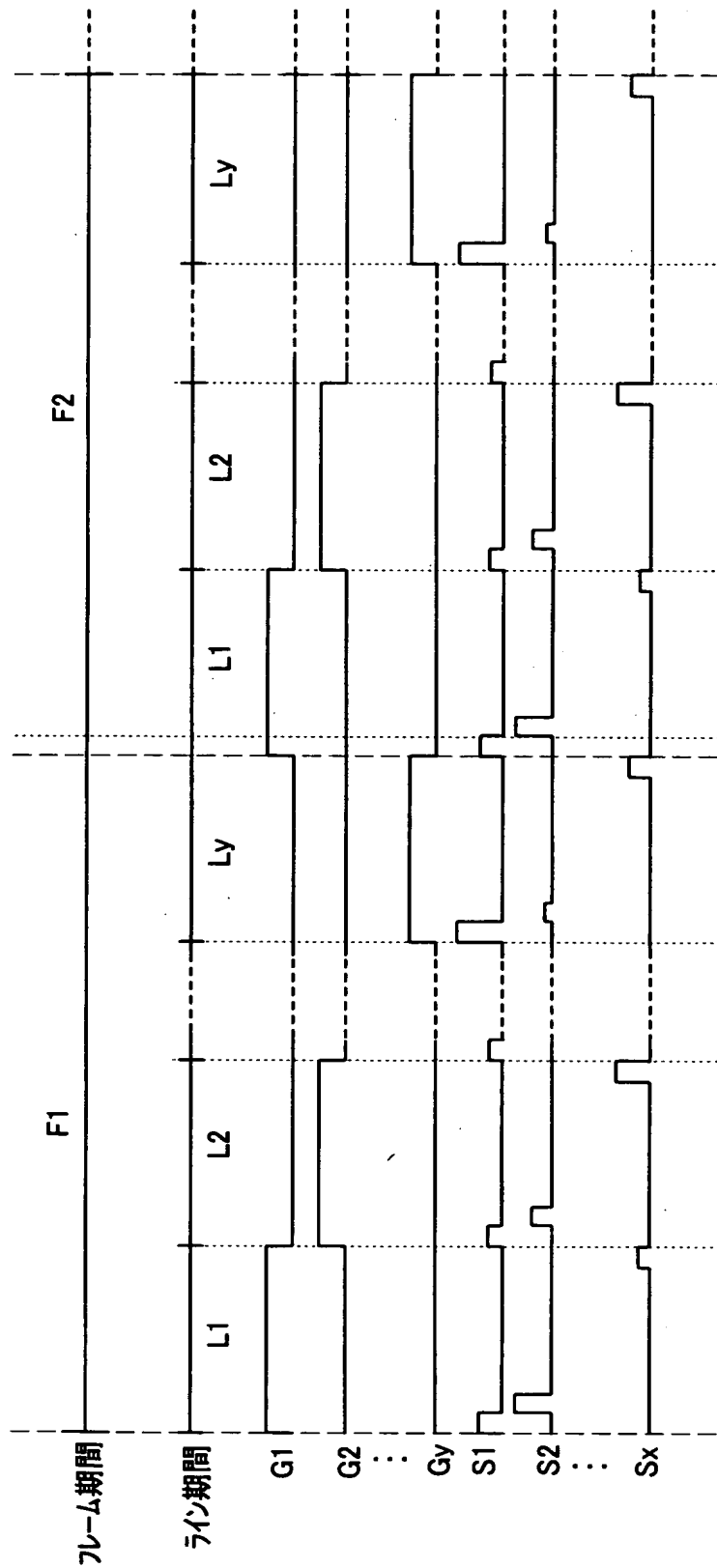
【図 2 2】



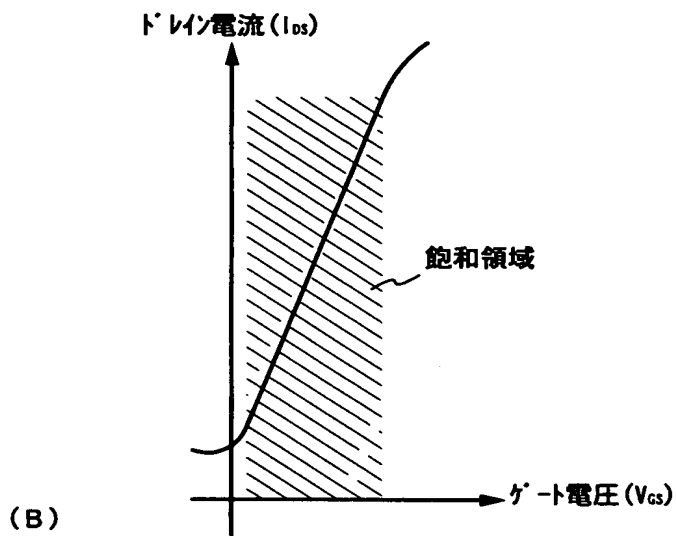
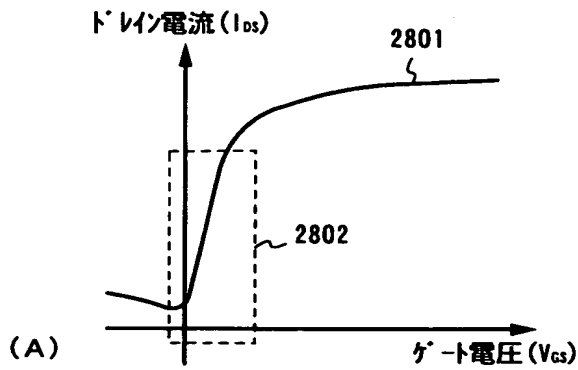
【図 2 3】



【図 24】



【図 2 5】



【書類名】 要約書

【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の電気光学装置を提供する。

【解決手段】 画素部が含んでいる記複数の画素は、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T とをそれぞれ有し、前記 E L 素子は、画素電極と、対向電極と、前記画素電極と対向電極の間に設けられた E L 層とを有し、対向電極の電位と前記画素電極の電位を制御して時分割階調表示を行った。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所